

## SIGNAL LINE DRIVE CIRCUIT, LIGHT EMITTING DEVICE, AND ITS DRIVE METHOD

**Publication number:** WO03038795

**Publication date:** 2003-05-08

**Inventor:** KIMURA HAJIME (JP)

**Applicant:** SEMICONDUCTOR ENERGY LAB (JP); KIMURA HAJIME (JP)

**Classification:**

- **international:** G09G3/32; G09G3/32; (IPC1-7): G09G3/30; G09G3/20; H05B33/14

- **european:** G09G3/32A

**Application number:** WO2002JP11280 20021030

**Priority number(s):** JP20010333470 20011030; JP20020288043 20020930

**Also published as:**

EP1447787 (A1)

US2003128199 (A)

CN1610932 (A)

**Cited documents:**

JP11045071

WO9965011

JP2001056667

JP2001147659

JP11282419

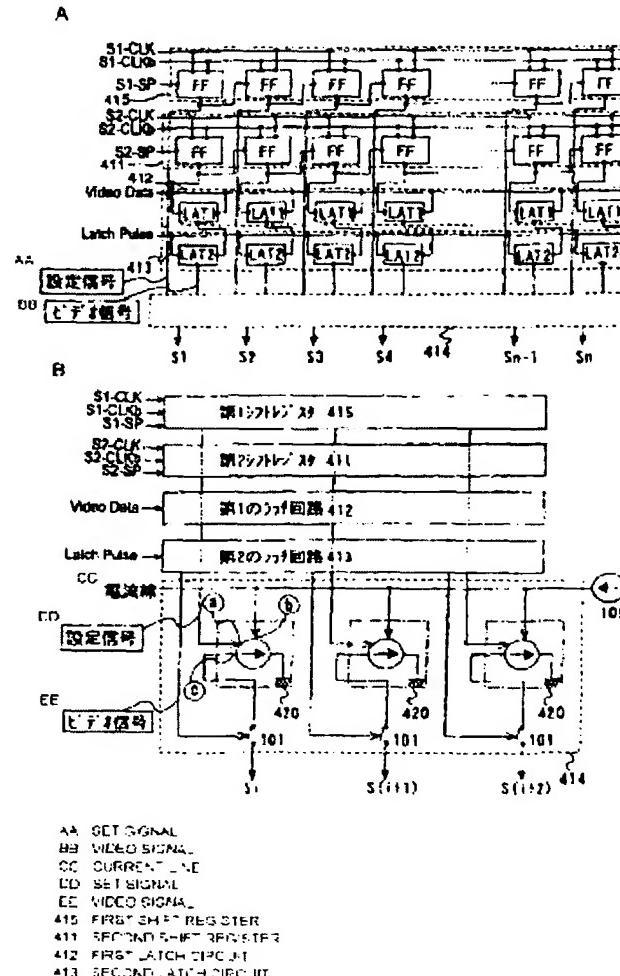
[more >>](#)

[Report a data error](#) [he](#)

### Abstract of WO03038795

A transistor generates a dispersion in characteristics. This signal line drive circuit has first and second shift registers, a latch circuit, and current source circuits corresponding to the respective wirings. Each of the current source circuits has a capacitor means and a supply means. The capacitor means is characterized by converting a supplied current into a voltage according to a sampling pulse to be supplied from the first shift register, the supply means by supplying a current corresponding to the converted voltage according to a video signal, and the latch circuit by acting according to a sampling pulse to be supplied from the second shift register.

A transistor generates a dispersion in characteristics. This signal line drive circuit has first and second shift registers, a latch circuit, and current source circuits corresponding to the respective wirings. Each of the current source circuits has a capacitor means and a supply means. The capacitor means is characterized by converting a supplied current into a voltage according to a sampling pulse to be supplied from the first shift register, the supply means by supplying a current corresponding to the converted voltage according to a video signal, and the latch circuit by acting according to a sampling pulse to be supplied from the second shift register.



Data supplied from the esp@cenet database - Worldwide



(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関  
国際事務局



(43)国際公開日  
2003年5月8日 (08.05.2003)

PCT

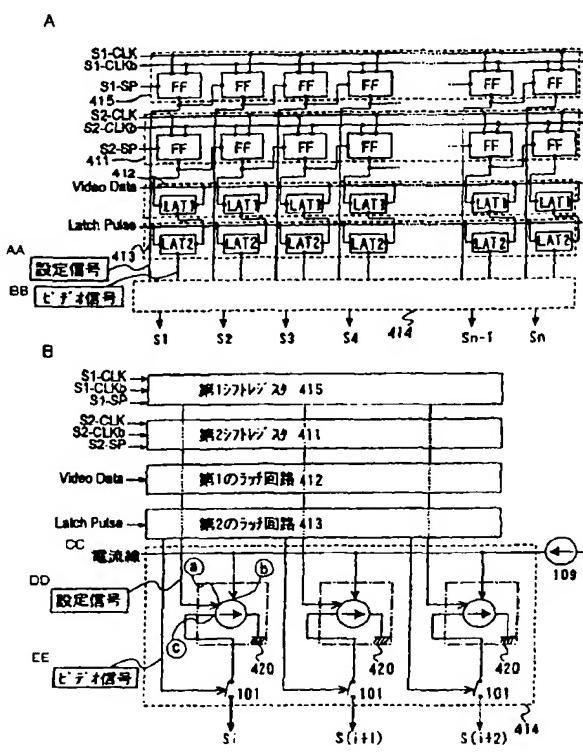
(10)国際公開番号  
WO 03/038795 A1

(51) 国際特許分類 <sup>7</sup> :	G09G 3/30, 3/20, H05B 33/14	(71) 出願人(米国を除く全ての指定国について): 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒243-0036 神奈川県厚木市長谷398 Kanagawa (JP).
(21) 国際出願番号:	PCT/JP02/11280	
(22) 国際出願日:	2002年10月30日 (30.10.2002)	
(25) 国際出願の言語:	日本語	(72) 発明者; および
(26) 国際公開の言語:	日本語	(75) 発明者/出願人(米国についてのみ): 木村 豪 (KIMURA,Hajime) [JP/JP]; 〒243-0036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).
(30) 優先権データ: 特願2001-333470	2001年10月30日 (30.10.2001) 特願2002-288043 2002年9月30日 (30.09.2002)	JP (74) 代理人: 大島 陽一 (OSHIMA,Yoichi); 〒162-0825 東京都新宿区神楽坂6-42 喜多川ビル7階 Tokyo (JP).

[統葉有]

(54) Title: SIGNAL LINE DRIVE CIRCUIT, LIGHT EMITTING DEVICE, AND ITS DRIVE METHOD

(54) 発明の名称: 信号線駆動回路、並びに発光装置及びその駆動方法



AA SET SIGNAL  
 BB VIDEO SIGNAL  
 CC CURRENT LINE  
 DD SET SIGNAL  
 FF VIDEO SIGNAL  
 415 FIRST SHIFT REGISTER  
 411 SECOND SHIFT REGISTER  
 412 FIRST LATCH CIRCUIT  
 413 SECOND LATCH CIRCUIT

(57) Abstract: A transistor generates a dispersion in characteristics. This signal line drive circuit has first and second shift registers, a latch circuit, and current source circuits corresponding to the respective wirings. Each of the current source circuits has a capacitor means and a supply means. The capacitor means is characterized by converting a supplied current into a voltage according to a sampling pulse to be supplied from the first shift register, the supply means by supplying a current corresponding to the converted voltage according to a video signal, and the latch circuit by acting according to a sampling pulse to be supplied from the second shift register.

WO 03/038795 A1

[統葉有]



(81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

特許(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 國際調査報告書  
— 補正書

(84) 指定国(広域): ARIPO 特許(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

---

(57) 要約:

トランジスタの特性にはバラツキが生じてしまう。本発明は、第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、前記複数の電流源回路の各々は、容量手段と供給手段を有する。前記容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、前記供給手段は、ビデオ信号に従って、前記変換された電圧に応じた電流を供給し、前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルスに従って動作することを特徴とする。

## 明細書

## 信号線駆動回路、並びに発光装置及びその駆動方法

## 5 技術分野

本発明は信号線駆動回路の技術に関する。また前記信号線駆動回路を有する発光装置の技術に関する。

## 背景技術

10 近年、画像の表示を行う表示装置の開発が進められている。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして幅広く用いられている。

一方、自発光素子である発光素子を用いた発光装置の開発も近年進められている。発光装置は、既存の液晶表示装置がもつ利点に加えて、動画表示に適した速い応答速度、低電圧、低消費電力などの特徴を有し、次世代ディスプレイとして大きく注目されている。

発光装置に多階調の画像を表示する際の階調表現方法としては、アナログ階調方式とデジタル階調方式が挙げられる。前者のアナログ階調方式は、発光素子に流れる電流の大きさをアナログ的に制御して階調を得るという方式である。また後者のデジタル階調方式は、発光素子がオン状態（輝度がほぼ100%の状態）と、オフ状態（輝度がほぼ0%の状態）の2つの状態のみによって駆動するという方式である。デジタル階調方式においては、このままで2階調しか表示できないため、別的方式と組み合わせて多階調の画像を表示する方法が提案されている。

また画素の駆動方法としては、画素に入力する信号の種類で分類すると、電圧入力方式と電流入力方式が挙げられる。前者の電圧入力方式は、画素に入力するビデオ信号（電圧）を駆動用素子のゲート電極に入力して、該駆動用素子を用いて発光

素子の輝度を制御する方式である。また後者の電流入力方式では、設定された信号電流を発光素子に流すことにより、該発光素子の輝度を制御する方式である。

ここで、電圧入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16（A）を用いて簡単に説明する。図16（A）に示した画素は、信号線501、走査線502、スイッチング用TFT503、駆動用TFT504、容量素子505、発光素子506、電源507、508を有する。

走査線502の電位が変化してスイッチング用TFT503がオンすると、信号線501に入力されているビデオ信号は、駆動用TFT504のゲート電極へと入力される。入力されたビデオ信号の電位に従って、駆動用TFT504のゲート・ソース間電圧が決定し、駆動用TFT504のソース・ドレイン間を流れる電流が決定する。この電流は発光素子506に供給され、該発光素子506は発光する。発光素子を駆動する半導体素子としては、ポリシリコントランジスタが用いられる。しかし、ポリシリコントランジスタは、結晶粒界における欠陥に起因して、しきい値やオン電流等の電気的特性にバラツキが生じやすい。図16（A）に示した画素において、駆動用TFT504の特性が画素毎にばらつくと、同じビデオ信号を入力した場合にも、それに応じた駆動用TFT504のドレイン電流の大きさが異なるため、発光素子506の輝度はばらつく。

上記問題を解決するためには、発光素子を駆動するTFTの特性に左右されず、所望の電流を発光素子に供給すればよい。この観点から、TFTの特性に左右されずに発光素子に供給する電流の大きさを制御できる電流入力方式が提案されている。

次いで、電流入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16（B）、17を用いて簡単に説明する。図16（B）に示した画素は、信号線601、第1～第3の走査線602～604、電流線605、TFT606～609、容量素子610、発光素子611を有する。電流源回路612は、各信号線（各列）に配置される。

図17を用いて、ビデオ信号の書き込みから発光までの動作について説明する。

図17中、各部を示す図番は、図16に準ずる。図17（A）～（C）は、電流の経路を模式的に示している。図17（D）は、ビデオ信号の書き込み時における各経路を流れる電流の関係を示し、図17（E）は、同じくビデオ信号の書き込み時に容量素子610に蓄積される電圧、つまりTFT608のゲート・ソース間電圧を示す。

まず、第1及び第2の走査線602、603にパルスが入力され、TFT606、607がオンする。このとき、信号線601を流れる電流は信号電流をI<sub>data</sub>と表記する。信号線601には、信号電流I<sub>data</sub>が流れているので、図17（A）に示すように、画素内では、電流の経路はI<sub>1</sub>とI<sub>2</sub>とに分かれて流れる。これらの関係を図17（D）に示すが、I<sub>data</sub>=I<sub>1</sub>+I<sub>2</sub>であることは言うまでもない。

TFT606がオンした瞬間には、まだ容量素子610には電荷が保持されていないため、TFT608はオフである。よって、I<sub>2</sub>=0となり、I<sub>data</sub>=I<sub>1</sub>となる。この間は、容量素子610の両電極間に電流が流れ、該容量素子610において電荷の蓄積が行われている。

そして徐々に容量素子610に電荷が蓄積され、両電極間に電位差が生じ始める（図17（E））。両電極の電位差がV<sub>th</sub>となると（図17（E）、A点）、TFT608がオンして、I<sub>2</sub>が生ずる。前述したように、I<sub>data</sub>=I<sub>1</sub>+I<sub>2</sub>であるので、I<sub>1</sub>は次第に減少するが、依然電流は流れしており、容量素子610にはさらに電荷の蓄積が行われる。

容量素子610では、その両電極の電位差、つまりTFT608のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が続く。つまりTFT608がI<sub>data</sub>の電流を流すことが出来るだけの電圧になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了する（図17（E）、B点）と、電流I<sub>2</sub>は流れなくなる。また、TFT608は完全にオンしているので、I<sub>data</sub>=I<sub>2</sub>となる（図17（B））。以上の動作により、画素に対する信号の書き込み動作が完了する。最後に第1及び第2の走

査線 602、603 の選択が終了し、TFT 606、607 がオフする。

続いて、第 3 の走査線 604 にパルスが入力され、TFT 609 がオンする。容量素子 610 には、先ほど書き込んだ VGS が保持されているため、TFT 608 はオンしており、電流線 605 から I<sub>data</sub> に等しい電流が流れる。これにより発光素子 611 が発光する。このとき、TFT 608 が飽和領域において動作するようにしておけば、TFT 608 のソース・ドレイン間電圧が変化したとしても、発光素子 611 に流れる発光電流 I<sub>EL</sub> は変わらなく流れる。

このように電流入力方式とは、TFT 609 のドレイン電流が電流源回路 612 で設定された信号電流 I<sub>data</sub> と同じ電流値になるように設定し、このドレイン電流 10 に応じた輝度で発光素子 611 が発光を行う方式をいう。上記構成の画素を用いることで、画素を構成する TFT の特性バラツキの影響を抑制して、所望の電流を発光素子に供給することが出来る。

但し、電流入力方式を適用した発光装置では、ビデオ信号に応じた信号電流を正確に画素に入力する必要がある。しかし、信号電流を画素に入力する役目を担う信号線駆動回路（図 16 では電流源回路 612 に相当）をポリシリコントランジスタで形成すると、その特性にバラツキが生じるため、該信号電流にもバラツキが生じてしまう。

つまり電流入力方式を適用した発光装置では、画素及び信号線駆動回路を構成する TFT の特性バラツキの影響を抑制する必要がある。しかし図 16 (B) に示す構成の画素を用いることによって、画素を構成する TFT の特性バラツキの影響を抑制することは出来るが、信号線駆動回路を構成する TFT の特性バラツキの影響を抑制することは困難となる。

そこで、電流入力方式の画素を駆動する信号線駆動回路に配置される電流源回路の構成とその動作について図 18 を用いて簡単に説明する。

25 図 18 (A) (B) における電流源回路 612 は、図 16 (B) で示した電流源回路 612 に相当する。電流源回路 612 は、定電流源 555～558 を有する。

定電流源 555～558 は、端子 551～554 を介して入力される信号により制御される。定電流源 555～558 から供給される電流の大きさは各々異なっており、その比は 1：2：4：8 となるように設定されている。

図 18 (B) は電流源回路 612 の回路構成を示した図であり、図中の定電流源 555～558 はトランジスタに相当する。トランジスタ 555～558 のオン電流は、 $L$  (ゲート長) /  $W$  (ゲート幅) 値の比 (1：2：4：8) に起因して 1：2：4：8 となる。そうすると電流源回路 612 は、 $2^4 = 16$  段階で電流の大きさを制御することが出来る。つまり 4 ビットのデジタルビデオ信号に対して、16 階調のアナログ値を持つ電流を出力することが出来る。なお、この電流源回路 612 は、10 ポリシリコントランジスタで形成され、画素部と同一基板上に一体形成される。

このように、従来において、電流源回路を内蔵した信号線駆動回路は提案されている。(例えば、非特許文献 1、2 参照)

また、デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と面積階調方式とを組み合わせた方式(以下面積階調方式と表記) やデジタル階調方式と時間階調方式とを組み合わせた方式(以下時間階調方式と表記) がある。面積階調方式とは、一画素を複数の副画素に分割し、それぞれの副画素で発光、又は非発光を選択することで、一画素において発光している面積と、それ以外の面積との差をもって階調を表現する方式である。また時間階調方式とは、発光素子が発光している時間を制御することにより、階調表現を行う方式である。具体的には、20 1 フレーム期間を長さの異なる複数のサブフレーム期間に分割し、各期間での発光素子の発光、又は非発光を選択することで、1 フレーム期間内で発光した時間の長さの差をもって階調を表現する。デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と時間階調方式とを組み合わせた方式(以下時間階調方式と表記) が提案されている。(例えば、特許文献 1 参照)

25 [非特許文献 1]

服部励治、他 3 名、「信学技報」、ED2001-8、電流指定型ポリシリコン TFT アクテ

イブマトリクス駆動有機 LED ディスプレイの回路シミュレーション、p. 7-1

4

〔非特許文献 2〕

Reiji H et al.、「AM-LCD'01」、OLED-4, p. 223-226

5 〔特許文献 1〕

特開 2001-5426 号公報

### 発明の開示

上述した電流源回路 612 は、L/W 値を設計することによって、トランジスタの  
10 オン電流を 1 : 2 : 4 : 8 になるように設定している。しかしトランジスタ 555  
～558 は、作製工程や使用する基板の相違によって生じるゲート長、ゲート幅及  
びゲート絶縁膜の膜厚のバラツキの要因が重なって、しきい値や移動度にバラツキ  
が生じてしまう。そのため、トランジスタ 555～558 のオン電流を設計通りに  
正確に 1 : 2 : 4 : 8 にすることは困難である。つまり列によって、画素に供給す  
15 る電流値にバラツキが生じてしまう。

トランジスタ 555～558 のオン電流を設計通りに正確に 1 : 2 : 4 : 8 にす  
るためには、全ての列にある電流源回路の特性を、全て同一にする必要がある。つ  
まり、信号線駆動回路の有する電流源回路のトランジスタの特性を、全て同一にす  
る必要があるが、その実現は非常に困難である。

20 本発明は上記の問題点を鑑みてなされたものであり、TFT の特性バラツキの影  
響を抑制して、所望の信号電流を画素に供給することができる信号線駆動回路を提  
供する。さらに本発明は、TFT の特性バラツキの影響を抑制した回路構成の画素  
を用いることにより、画素及び駆動回路の両方を構成する TFT の特性バラツキの  
影響を抑制して、所望の信号電流を発光素子に供給することができる発光装置を提  
25 供する。

本発明は、TFT の特性バラツキの影響を抑制して、所望の一定電流を流す電気

回路（本明細書では電流源回路とよぶ）を設けた新しい構成の信号線駆動回路を提供する。さらに本発明は、前記信号線駆動回路を具備した発光装置を提供する。

本発明は各列（各信号線など）に電流源回路が配置された信号線駆動回路を提供する。

- 5 本発明の信号線駆動回路では、リファレンス用定電流源を用いて、各信号線（各列）に配置された電流源回路に、所定の信号電流を供給するように設定される。信号電流を供給するように設定された電流源回路では、リファレンス用定電流源に比例した電流を流す能力を有する。その結果、前記電流源回路を用いることにより、信号線駆動回路を構成する TFT の特性バラツキの影響を抑制することが出来る。
- 10 そして本発明の信号線駆動回路では、電流源回路に設定された信号電流を画素に供給するか否かを決定するスイッチをビデオ信号により制御する。

つまり、信号線にビデオ信号に比例した信号電流を流す必要がある場合は、電流源回路から信号線駆動回路に信号電流を供給するか否かを決定するスイッチがあり、それはビデオ信号により制御される。

- 15 なお、本明細書において、電流源回路から信号線駆動回路に信号電流を供給するか否かを決定するスイッチのことを、信号電流制御スイッチと呼ぶことにする。

なお、リファレンス用定電流源は、基板上に信号線駆動回路と一体形成してもよい。またはリファレンス用電流として、基板の外部から IC 等を用いて一定の電流を入力してもよい。

- 20 本発明の信号線駆動回路の概略について図 1、2 を用いて説明する。図 1、2 には、 $i$  列目から  $(i + 2)$  列目の 3 本の信号線の周辺の信号線駆動回路が示されている。

まず、信号線にビデオ信号に比例した信号電流を流す必要がある場合について述べる。

- 25 図 1において、信号線駆動回路 403 は各信号線（各列）に電流源回路 420 が配置されている。電流源回路 420 は、端子 a、端子 b 及び端子 c を有する。端子

a には設定信号が入力される。端子 b には電流線に接続されたリファレンス用定電流源 109 から電流（リファレンス用電流）が供給される。また端子 c は、スイッチ 101（信号電流制御スイッチ）を介して電流源回路 420 に保持された信号を出力する。つまり、電流源回路 420 は端子 a から入力される設定信号により制御され、端子 b から電流（リファレンス用電流）が供給され、端子 c から該電流（リファレンス用電流）に比例した電流（信号電流）が出力される。スイッチ 101（信号電流制御スイッチ）は、電流源回路 420 と画素の間に配置され、前記スイッチ 101（信号電流制御スイッチ）のオン又はオフは、ビデオ信号により制御される。

次いで図 1 とは異なる構成の本発明の信号線駆動回路について図 2 を用いて説明する。図 2において、信号線駆動回路 403 はそれぞれの信号線ごと（各列）に 2つ以上の電流源回路が配置されている。ここでは仮に各列に 2つの電流源回路が配置されているとし、電流源回路 420 は第 1 電流源回路 421 及び第 2 電流源回路 422 を有するとする。第 1 電流源回路 421 及び第 2 電流源回路 422 は、端子 a～d を有する。端子 a には設定信号が入力される。端子 b には電流線に接続されたリファレンス用定電流源 109 から電流（リファレンス用電流）が供給される。また端子 c は、スイッチ 101（信号電流制御スイッチ）を介して第 1 電流源回路 421 及び第 2 電流源回路 422 に保持された信号（信号電流）を出力する。端子 d からは、制御信号が入力される。つまり電流源回路 420 は、端子 a から入力される設定信号及び端子 d から入力される制御信号により制御され、端子 b から電流（リファレンス用電流）が供給され、端子 c から該電流（リファレンス用電流）に比例した電流（信号電流）が出力される。スイッチ 101（信号電流制御スイッチ）は、電流源回路 420 と画素の間に配置され、前記スイッチ 101（信号電流制御スイッチ）のオン又はオフは、ビデオ信号により制御される。

電流源回路 420 に対して信号電流の書き込みを終了させる動作（信号電流を設定する、リファレンス用電流によって信号電流を設定する、電流源回路 420 が信号電流を出力できるように定める動作）を設定動作と呼び、信号電流を画素に入力

する動作（電流源回路 420 が信号電流を出力する動作）を入力動作と呼ぶことにする。図 2において、第 1 電流源回路 421 及び第 2 電流源回路 422 に入力される制御信号は互いに異なっているため、第 1 電流源回路 421 及び第 2 電流源回路 422 は、一方は設定動作を行い、他方は入力動作を行う。これにより、各列で同時に 5 時に 2つの動作を行うことが出来る。

なお設定動作は任意の時間に任意のタイミングで任意の回数だけ行えばよい。どのようなタイミングで設定動作を行うかは、画素構成（画素に配置された電流源回路）や、信号線駆動回路に配置された電流源回路などの構成により、任意に調節することができる。設定動作を行う回数は、信号線駆動回路に、電源を供給し、動作 10 し始める時に、最低限 1 回だけ行えばよい。しかしながら、実際には、設定動作により取得した情報が漏れてしまったりする場合があるため、その情報を再び取得したほうがよい時期がきたら、再び設定動作を行えばよい。

図 1、2 に示した信号線駆動回路では、ビデオ信号に比例した信号電流を信号線に供給する場合について述べた。但し、本発明はこれに限定されない。例えば、信号線とは異なる別の配線に電流を供給してもよい。この場合には、スイッチ 101（信号電流制御スイッチ）を配置する必要はない。このスイッチ 101 を配置しない場合について、図 1 については図 29、図 2 については図 30 に示す。この場合には、電流は画素用電流線に出力され、信号線にはビデオ信号が出力される。

本発明は、2つのシフトレジスタ（第 1 及び第 2 シフトレジスタ）を設けた信号 20 線駆動回路を提供する。この第 1 及び第 2 シフトレジスタは、一方は電流源回路、他方はビデオ信号を制御するための回路、つまり画像を表示するために動作させる回路であり、例えばラッチ回路やサンプリングスイッチやスイッチ 101（信号電流制御スイッチ）などを制御する。そうすると、第 1 及び第 2 シフトレジスタの動作を独立に行うことが可能となり、必然的に電流源回路の設定動作と画像表示動作 25 を独立に行うことが可能となる。電流源回路の設定動作は、時間をかけて行う方が正確に行えるため、電流源回路とラッチ回路とを独立に動作させることが出来る

本発明の構成は大変有効である。

- なおシフトレジスタはフリップフロップ回路やデコーダ回路等の回路により構成される。シフトレジスタがフリップフロップ回路により構成される場合には、通常複数の配線は1列目から最終列目まで順に選択される。一方、シフトレジスタが  
5 デコーダ回路等により構成される場合には、複数の配線はランダムに選択することが可能となる。シフトレジスタの構成は、その用途に従って、適宜選択するとよい。複数の配線をランダムに選択できると、設定信号もランダムに出力できるようになる。従って、電流源回路の設定動作も、1列目から順に行うのではなく、ランダム  
10 行うことができるようになる。そうすると、設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようになる。

なお、本発明において、TFTは、通常の単結晶を用いたトランジスタや、SOIを用いたトランジスタ、有機トランジスタなどに置き換えて適用することができる。

- また本発明において、発光装置とは発光素子を有する画素部及び信号線駆動回路が基板とカバー材との間に封入されたパネル、前記パネルにIC等を実装したモジュール、ディスプレイなどを範疇に含む。つまり発光装置とは、パネル、モジュール及びディスプレイなどの総称に相当する。

- 本発明は上記のような電流源回路を有する信号線駆動回路を提供する。さらに本発明は、TFTの特性に左右されない回路構成の画素を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの影響を抑制し、また所望の信号電流  $I_{data}$  を発光素子に供給することができる発光装置を提供する。

#### 図面の簡単な説明

図1は、信号線駆動回路の図。

図2は、信号線駆動回路の図。

- 25 図3は、信号線駆動回路の図（1ビット）。

図4は、信号線駆動回路の図（3ビット）。

- 図 5 は、信号線駆動回路の図（3 ビット）。
- 図 6 は、電流源回路の回路図。
- 図 7 は、電流源回路の回路図。
- 図 8 は、電流源回路の回路図。
- 5 図 9 は、タイミングチャート。
- 図 10 は、タイミングチャート。
- 図 11 は、タイミングチャート。
- 図 12 は、発光装置の外観を示す図。
- 図 13 は、発光装置の画素の回路図。
- 10 図 14 は、本発明の駆動方法を説明する図。
- 図 15 は、本発明の発光装置を示す図。
- 図 16 は、発光装置の画素の回路図。
- 図 17 は、発光装置の画素の動作を説明する図。
- 図 18 は、電流源回路の図。
- 15 図 19 は、電流源回路の動作を説明する図。
- 図 20 は、電流源回路の動作を説明する図。
- 図 21 は、電流源回路の動作を説明する図。
- 図 22 は、本発明が適用される電子機器を示す図。
- 図 23 は、信号線駆動回路の図（3 ビット）。
- 20 図 24 は、信号線駆動回路の図（3 ビット）。
- 図 25 は、リファレンス用定電流源の回路図。
- 図 26 は、リファレンス用定電流源の回路図。
- 図 27 は、リファレンス用定電流源の回路図。
- 図 28 は、リファレンス用定電流源の回路図。
- 25 図 29 は、信号線駆動回路の図。
- 図 30 は、信号線駆動回路の図。

- 図31は、電流源回路の回路図。
- 図32は、電流源回路の回路図。
- 図33は、電流源回路の回路図。
- 図34は、電流源回路の回路図。
- 5 図35は、電流源回路の回路図。
- 図36は、電流源回路の回路図。
- 図37は、デコーダ回路の図。
- 図38は、シフトレジスタの図。
- 図39は、信号線駆動回路の図。
- 10 図40は、信号線駆動回路の図。
- 図41は、信号線駆動回路の図。
- 図42は、信号線駆動回路の図。
- 図43は、信号線駆動回路の図。
- 図44は、信号線駆動回路の図。
- 15 図45は、信号線駆動回路の図。
- 図46は、信号線駆動回路の図。
- 図47は、信号線駆動回路の図。
- 図48は、信号線駆動回路の図。
- 図49は、信号線駆動回路の図。
- 20 図50は、信号線駆動回路の図。
- 図51は、信号線駆動回路の図。
- 図52は、発光装置の図。
- 図53は、発光装置の画素の回路図。
- 図54は、タイミングチャート。
- 25 図55は、タイミングチャート。
- 図56は、タイミングチャート。

図57は、電流源回路のレイアウト図。

図58は、電流源回路の回路図。

#### 発明を実施するための最良の形態

##### 5 (実施の形態1)

本実施の形態では、本発明の信号線駆動回路に具備される図1に示した電流源回路420の回路構成の例とその動作について説明する。

なお信号線駆動回路は、電流源回路420、シフトレジスタ及びラッチ回路などを有する。そして本発明の信号線駆動回路は、電流源回路420を制御する第1シフトレジスタと、ラッチ回路などを制御する第2シフトレジスタを有する。

本発明では端子aから入力される設定信号とは、第1シフトレジスタからのサンプリングパルスを示す。つまり図1における設定信号とは、第1シフトレジスタからのサンプリングパルスに相当する。そして本発明では、第1シフトレジスタからのサンプリングパルスのタイミングに合わせて、電流源回路420の設定を行う。

そして本発明では、電流源回路420を制御する第1シフトレジスタと、ラッチ回路を制御する第2シフトレジスタとを設けることにより、第1シフトレジスタの動作と第2シフトレジスタの動作を完全に独立させて行うことが出来る。つまり第2シフトレジスタを高速に動作させているときに、第1シフトレジスタを低速で動作させることが出来る。そのため、電流源回路420の設定に時間をかけて正確に行うことが出来る。

なおシフトレジスタはフリップフロップ回路やデコーダ回路等の回路により構成される。シフトレジスタがフリップフロップ回路により構成される場合には、通常複数の配線は1列目から最終列目まで順に選択される。一方、シフトレジスタがデコーダ回路などにより構成される場合には、複数の配線はランダムに選択することが可能となる。シフトレジスタの構成は、その用途に従って、適宜選択するとよい。複数の配線をランダムに選択できると、設定信号もランダムに出力できるよう

になる。従って、電流源回路の設定動作も、1列目から順に行うのではなく、ランダムに行うことができるようになる。そうすると、設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようになる。シフトレジスタの構成は、その用途に従って適宜選択するとよい。

- 5 なおシフトレジスタとは、フリップフロップ回路(FF)等を複数列用いた構成を有するものである。そして前記シフトレジスタにクロック信号(S-CLK)、スタートパルス(S-SP)及びクロック反転信号(S-CLKb)が入力されて、これらの信号のタイミングに従って、順次出力される信号をサンプリングパルスとよぶ。

図6(A)において、スイッチ104、105a、106と、トランジスタ10  
10 102(nチャネル型)と、該トランジスタ102のゲート・ソース間電圧VGSを保持する容量素子103とを有する回路が電流源回路420に相当する。

電流源回路420では、端子aを介して入力されるサンプリングパルスによってスイッチ104、スイッチ105aがオンとなる。そうすると、電流線に接続されたリファレンス用定電流源109(以下定電流源109と表記)から、端子bを介して電流(リファレンス用電流)が供給され、容量素子103に所定の電荷が保持される。そして定電流源109から流される電流(リファレンス用電流)がトランジスタ102のドレイン電流と等しくなるまで、容量素子103に電荷が保持される。

次いで、端子aを介して入力される信号により、スイッチ104、スイッチ10  
20 5aをオフにする。そうすると、容量素子103に所定の電荷が保持されているため、トランジスタ102は、信号電流I<sub>data</sub>に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101(信号電流制御スイッチ)、スイッチ106が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ102のゲート電圧は、容量素子103により所定のゲート電圧に維持されているため、トランジスタ102のドレイン領域には信号電流I<sub>data</sub>に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するト

ランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御できる。

なお、スイッチ 101（信号電流制御スイッチ）が配置されていない場合は、スイッチ 116 が導通状態になると、端子 c を介して信号線に接続された画素に電流

5 が流れる。

なおスイッチ 104 及びスイッチ 105a の接続構成は図 6 (A) に示す構成に限定されない。例えば、スイッチ 104 の一方を端子 b に接続し、他方をトランジ

スタ 102 のゲート電極の間に接続し、更にスイッチ 105a の一方を、スイッチ

104 を介して端子 b に接続して、他方をスイッチ 106 に接続する構成でもよい。

10 そしてスイッチ 104 及びスイッチ 105a は、端子 a から入力される信号により制御される。

或いは、スイッチ 104 は端子 b とトランジスタ 102 のゲート電極の間に配置

し、スイッチ 105a は端子 b とスイッチ 116 の間に配置してもよい。つまり、

15 図 31 (A) を参照すると、設定動作時には図 31 (A1) のように接続され、入

力動作時には図 31 (A2) のように接続されるように、配線やスイッチを配置す

るとよい。配線の本数やスイッチの個数、及びその接続構成は特に限定されない。

なお図 6 (A) に示す電流源回路 420 では、信号を設定する動作（設定動作）

と、信号を画素に入力する動作（入力動作）を同時に行うことは出来ない。

図 6 (B) において、スイッチ 124、スイッチ 125 と、トランジスタ 122

20 (nチャネル型) と、該トランジスタ 122 のゲート・ソース間電圧 VGS を保持する容量素子 123 と、トランジスタ 126 (nチャネル型) とを有する回路が電流源回路 420 に相当する。

トランジスタ 126 はスイッチ又は電流源用トランジスタの一部のどちらかとして機能する。

25 電流源回路 420 では、端子 a を介して入力されるサンプリングパルスによってスイッチ 124、スイッチ 125 がオンとなる。そうすると、電流線に接続された

定電流源 109 から、端子 b を介して電流（リファレンス用電流）が供給され、容量素子 123 に所定の電荷が保持される。そして定電流源 109 から流される電流（リファレンス用電流）がトランジスタ 122 のドレイン電流と等しくなるまで、容量素子 123 に電荷が保持される。なおスイッチ 124 がオンとなると、トランジスタ 126 のゲート・ソース間電圧 VGS が 0V となるので、トランジスタ 126 はオフになる。

次いで、スイッチ 124、スイッチ 125 をオフにする。そうすると、容量素子 123 に所定の電荷が保持されているため、トランジスタ 122 は、信号電流 I<sub>data</sub> に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ 101（信号電流制御スイッチ）が導通状態になると、端子 c を介して信号線に接続された画素に電流が流される。このとき、トランジスタ 122 のゲート電圧は、容量素子 123 により所定のゲート電圧に維持されているため、トランジスタ 122 のドレイン領域には信号電流 I<sub>data</sub> に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御できる。

なおスイッチ 124、125 がオフすると、トランジスタ 126 のゲートとソースは同電位ではなくなる。その結果、容量素子 123 に保持された電荷がトランジスタ 126 の方にも分配され、トランジスタ 126 が自動的にオンになる。ここで、トランジスタ 122、126 は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ 122、126 はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長 L<sub>g</sub> が異なることになる。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子 b とリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。なお、スイッチ 101（信号電流制御スイッチ）が配置されていない

い場合は、トランジスタ 126 が導通状態になると、端子 c を介して信号線に接続された画素に電流が流れる。

なお、配線の本数、スイッチの個数及びその接続構成は特に限定されない。つまり、図 31 (B) を参照すると、設定動作時には図 31 (B1) のように接続され、  
5 入力動作時には図 31 (B2) のように接続されるよう、配線やスイッチを配置するとよい。特に、図 31 (C2)においては、容量素子 107 に貯まった電荷が漏れないようになっていればよい。

なお図 6 (B) に示す電流源回路 420 では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことは出来ない。

10 図 6 (C)において、スイッチ 108、スイッチ 110、トランジスタ 105b、  
106 (n チャネル型)、該トランジスタ 105b、106 のゲート・ソース間電圧 VGS を保持する容量素子 107 とを有する回路が電流源回路 420 に相当する。

電流源回路 420 では、端子 a を介して入力されるサンプリングパルスによってスイッチ 108、スイッチ 110 がオンとなる。そうすると電流線に接続された定  
15 電流源 109 から、端子 b を介して電流（リファレンス用電流）が供給され、容量素子 107 に所定の電荷が保持される。そして定電流源 109 から流される電流（リファレンス用電流）がトランジスタ 105b のドレイン電流と等しくなるまで、容量素子 107 に電荷が保持される。このとき、トランジスタ 105b 及びトランジスタ 106 のゲート電極は互いに接続されているので、トランジスタ 105b 及  
20 びトランジスタ 106 のゲート電圧は、容量素子 107 によって保持されている。

次いで、端子 a を介して入力される信号により、スイッチ 108、スイッチ 110 をオフにする。そうすると、容量素子 107 に所定の電荷が保持されるため、トランジスタ 106 は、電流（リファレンス用電流）に応じたの大きさの電流を流す能力をもつことになる。そして仮にスイッチ 101（信号電流制御スイッチ）が導  
25 通状態になると、端子 c を介して信号線に接続された画素に電流が流される。このとき、トランジスタ 106 のゲート電圧は、容量素子 107 により所定のゲート電

圧に維持されているため、トランジスタ 106 のドレイン領域には電流（リファレンス用電流）に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御することが出来る。

- 5 なおスイッチ 101（信号電流制御スイッチ）が配置されていない場合は、端子 c を介して信号線に接続された画素に電流が流れる。

このとき、トランジスタ 106 のドレイン領域に、信号電流  $I_{data}$  に応じたドレイン電流を正確に流すためには、トランジスタ 105b 及びトランジスタ 106 の特性が同じであることが必要となる。より詳しくは、トランジスタ 105b 及びトランジスタ 106 の移動度、しきい値などの値が同じであることが必要となる。また図 6 (C) では、トランジスタ 105b 及びトランジスタ 106 の W (ゲート幅) / L (ゲート長) の値を任意に設定して、定電流源 109 から供給される電流に比例した電流を画素に流すようにしてもよい。

またトランジスタ 105b 及び 106 のうち、定電流源 109 に接続されたトランジスタの W/L を大きく設定することで、該定電流源 109 から大電流を供給して、書き込み速度を早くすることが出来る。

なお図 6 (C) に示す電流源回路 420 では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことが出来る。

そして図 6 (D)、(E) に示す電流源回路 420 は、図 6 (C) に示す電流源回路 420 とスイッチ 110 の接続構成が異なっている点以外は、その他の回路素子の接続構成は同じである。また図 6 (D)、(E) に示す電流源回路 420 の動作は、図 6 (C) に示す電流源回路 420 の動作に準ずるので、ここでは説明を省略する。

なおスイッチの個数やその接続構成は特に限定されない。つまり、図 31 (C) を参照すると、設定動作時には図 31 (C1) のように接続され、入力動作時には図 31 (C2) のように接続されるように、配線やスイッチを配置するとよい。特に、図 31 (C2)においては、容量素子 107 に貯まった電荷が漏れないように

なっていればよい。配線の本数やスイッチの個数及びその接続構成は特に限定されない。

図32 (A)において、スイッチ195b、195c、195d、195f、トランジスタ195a、容量素子195eを有する回路が電流源回路に相当する。図5 32 (A)に示す電流源回路では、端子aを介して入力される信号によりスイッチ195b、195c、195d、195fがオンになる。そうすると、端子bを介して、電流線に接続された定電流源109から電流が供給され、定電流源109から供給される信号電流とトランジスタ195aのドレイン電流が等しくなるまで、容量素子195eに所定の電荷が保持される。

10 次いで、端子aを介して入力される信号により、スイッチ195b、195c、195d、fがオフになる。このとき、容量素子195eには所定の電荷が保持されているため、トランジスタ195aは信号電流に応じた大きさの電流を流す能力を有する。これは、トランジスタ195aのゲート電圧は、容量素子195eにより所定のゲート電圧に設定されており、該トランジスタ195aのドレイン領域には電流（リファレンス用電流）に応じたドレイン電流が流れるためである。この状態において、端子cを介して外部に電流が供給される。なお図32 (A)に示す電流源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に入力する入力動作を同時に行うことは出来ない。また端子aを介して入力される信号により制御されるスイッチがオンであり、且つ端子cから電流が流れないようになっているときは、端子cと他の電位の配線とを接続する必要がある。そして、ここではその配線の電位を、Vaとする。Vaは、端子bから流れてくる電流をそのまま流せるような電位であればよく、一例としては、電源電圧Vddなどでよい。

なおスイッチの個数やその接続構成は特に限定されない。つまり、図32 (B) 25 (C)を参照すると、設定動作時には図32 (B1) (C1) のように接続され、入力動作時には図32 (B2) (C2) のように接続されるように、配線やスイッ

チを配置するとよい。配線の本数やスイッチの個数及びその接続構成は特に限定されない。

また図6（A）、図6（C）～（E）において、電流の流れる方向（画素から信号線駆動回路への方向）は同様であって、トランジスタ102、トランジスタ105b、トランジスタ106の導電型をpチャネル型にしてもよい。

そこで図7（A）には、電流の流れる方向（画素から信号線駆動回路への方向）は同じであって、図6（A）に示すトランジスタ102をpチャネル型にしたときの回路図を示す。図6（A）では、容量素子をゲート・ソース間に配置することにより、ソースの電位は変化しても、ゲート・ソース間電圧は保持することが出来る。

また図7（B）～（D）には、電流の流れる方向（画素から信号線駆動回路への方向）は同じであって、図6（C）～（D）に示すトランジスタ105b、106をpチャネル型にしたときの回路図を示す。

また、図33（A）には、図32に示した構成において、トランジスタ195aをpチャネル型にした場合を示す。また図33（B）には、図6（B）に示した構成において、トランジスタ122、126をpチャネル型にした場合を示す。

図35において、スイッチ104、116、トランジスタ102、容量素子103などを有する回路が電流源回路に相当する。

図35（A）は、図6（A）の一部を変更した回路に相当する。図35（A）に示す電流源回路では、電流源の設定動作時と、入力動作時とで、トランジスタのゲート幅Wが異なる。つまり、設定動作時には、図35（B）のように接続され、ゲート幅Wが大きい。入力動作時には、図35（C）のように接続され、ゲート幅Wが小さい。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることができる。そのため、端子bとリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

なお、図3 5では、図6 (A) の一部を変更した回路について示した。しかし、図6のほかの回路や図7、図3 2、図3 3、図3 4などの回路にも、容易に適用できる。

なお図6、図7、図3 2に示した電流源回路では、電流は画素から信号線駆動回路の方向へ流れる。しかしながら、電流は画素から信号線駆動回路の方向へ流れるだけでなく、信号線駆動回路から画素の方向へ流れる場合もある。電流がどちらの方向に流れるかは、画素の構成に依存する。電流が信号線駆動回路から画素の方向へ流れる場合には、図6において、Vss (低電位電源) をVdd (高電位電源) に変更して、トランジスタ102、105b、106、122、126をpチャネル型とすればよい。また図7において、VssをVddに変更して、トランジスタ102、105b、106をnチャネル型とすればよい。

なお、上記の全ての電流源回路において、配置されている容量素子は、トランジスタのゲート容量などを代用することで、配置しなくてもよい。

なお、図7 (A) ~ (D)、図3 3 (A) (B) の回路は、設定動作時には図3 4 (A 1) ~ (D 1) のように接続され、入力動作時には図3 4 (A 2) ~ (D 2) のように接続されるように、配線やスイッチを配置するとよい。配線の本数やスイッチの個数は特に限定されない。

以下には、図6、7を用いて説明した電流源回路のうち、図6 (A) 及び図7 (A)、図6 (C) ~ (E) 及び図7 (B) ~ (D) の電流源回路の動作について詳しく説明する。まず、図6 (A) 及び図7 (A) の電流源回路の動作について図1 9を用いて説明する。

図1 9 (A) ~ 図1 9 (C) は、電流が回路素子間を流れていく経路を模式的に示している。図1 9 (D) は、信号電流  $I_{data}$  を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図1 9 (E) は、信号電流  $I_{data}$  を電流源回路に書き込むときに容量素子16に蓄積される電圧、つまりトランジスタ15のゲート・ソース間電圧と時間の関係を示している。また図1 9 (A) ~ 図1 9

(C) に示す回路図において、11はリファレンス用定電流源、スイッチ12～スイッチ14はスイッチング機能を有する半導体素子、15はトランジスタ（nチャネル型）、16は容量素子、17は画素である。本実施の形態では、スイッチ14と、トランジスタ15と、容量素子16とが電流源回路20に相当する電気回路とする。なお図19（A）には引き出し線と符号が付いており、図19（B）、（C）において引き出し線と符号は図19（A）に準ずるので図示は省略する。

nチャネル型のトランジスタ15のソース領域はV<sub>ss</sub>に接続され、ドレイン領域はリファレンス用定電流源11に接続されている。そして容量素子16の一方の電極はV<sub>ss</sub>（トランジスタ15のソース）に接続され、他方の電極はスイッチ14（トランジスタ15のゲート）に接続されている。容量素子16は、トランジスタ15のゲート・ソース間電圧を保持する役目を担う。

画素17は、発光素子やトランジスタなどにより構成される。発光素子は、陽極と陰極と、該陽極と該陰極との間に挟まれた発光層を有する。本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。また発光層には、公知の発光材料を用いて作製することが出来る。発光層には、単層構造と積層構造の二つの構造があるが、本発明は公知のどのような構造を用いてもよい。発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と、三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明はどちらか一方、又は両方の発光を用いた発光装置にも適用できる。また発光層は、有機材料や無機材料などの公知の材料から構成される。

なお実際には、電流源回路20は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路20から、信号線や画素が有する回路素子等を介して発光素子に信号電流I<sub>data</sub>に応じた電流が流れる。しかし図19は、リファレンス用定電流源11、電流源回路20及び画素17との関係の概略を簡単に説明するための図であるので、詳しい構成の図示は省略する。

まず電流源回路 20 が信号電流  $I_{data}$  を保持する動作(設定動作)を図 19 (A)、(B) を用いて説明する。図 19 (A)において、スイッチ 12、スイッチ 14 がオンとなり、スイッチ 13 はオフとなる。この状態において、リファレンス用定電流源 11 から信号電流  $I_{data}$  が出力され、リファレンス用定電流源 11 から電流源 5 回路 20 の方向に電流が流れしていく。このとき、リファレンス用定電流源 11 からは信号電流  $I_{data}$  が流れているので、図 19 (A) に示すように電流源回路 20 内では、電流の経路は  $I_1$  と  $I_2$  に分かれて流れ。このときの関係を図 19 (D) に示しているが、信号電流  $I_{data} = I_1 + I_2$  の関係であることは言うまでもない。

リファレンス用定電流源 11 から電流が流れ始めた瞬間には、容量素子 16 に電荷は保持されていないため、トランジスタ 15 はオフしている。よって、 $I_2 = 0$  となり、 $I_{data} = I_1$  となる。

そして、徐々に容量素子 16 に電荷が蓄積されて、容量素子 16 の両電極間に電位差が生じはじめる(図 19 (E))。両電極間の電位差が  $V_{th}$  になると(図 19 (E) A点)、トランジスタ 15 がオンして、 $I_2 > 0$  となる。上述したように  $I_{data} = I_1 + I_2$  であるので、 $I_1$  は次第に減少するが、依然電流は流れている。容量素子 16 には、さらに電荷の蓄積が行われる。

容量素子 16 の両電極間の電位差は、トランジスタ 15 のゲート・ソース間電圧となる。そのため、トランジスタ 15 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 15 が  $I_{data}$  の電流を流すことが出来るだけの電圧( $V_{GS}$ )になるまで、容量素子 16 における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると(図 19 (E) B点)、電流  $I_2$  は流れなくなり、さらにトランジスタ 15 はオンしているので、 $I_{data} = I_2$  となる(図 19 (B))。

次いで、画素に信号電流  $I_{data}$  を入力する動作(入力動作)を図 19 (C)を用いて説明する。画素に信号電流  $I_{data}$  を入力するときには、スイッチ 13 をオンにしてスイッチ 12 及びスイッチ 14 をオフにする。容量素子 16 には前述した動作において書き込まれた  $V_{GS}$  が保持されているため、トランジスタ 15 はオンして

おり、信号電流  $I_{data}$  に等しい電流が、スイッチ 13 及びトランジスタ 15 を介して  $V_{ss}$  の方向に流れ、画素への信号電流  $I_{data}$  の入力が完了する。このとき、トランジスタ 15 を飽和領域において動作するようにしておけば、トランジスタ 15 のソース・ドレイン間電圧が変化したとしても、発光素子には一定の電流が供給  
5 される。

図 19 に示す電流源回路 20 では、図 19 (A) ~ 図 19 (C) に示すように、まず電流源回路 20 に対して信号電流  $I_{data}$  の書き込みを終了させる動作(設定動作、図 19 (A)、(B) に相当)と、画素に信号電流  $I_{data}$  を入力する動作(入力動作、図 19 (C) に相当)に分けられる。そして画素では入力された信号電流  $I_{data}$  に基づき、発光素子への電流の供給が行われる。  
10

図 19 に示す電流源回路 20 では、設定動作と入力動作を同時に行なうことは出来ない。よって、設定動作と入力動作を同時に行なう必要がある場合には、画素が複数個接続されている信号線であって、更に画素部に複数本配置されている信号線のそれぞれに、少なくとも 2 つの電流源回路を設けることが好ましい。但し、信号電流  
15  $I_{data}$  を画素に入力していない期間内に、設定動作を行なうことが可能であるならば、信号線ごとに(各列に) 1 つの電流源回路を設けるだけでもよい。

また図 19 (A) ~ 図 19 (C) に示した電流源回路 20 のトランジスタ 15 は  $n$  チャネル型であったが、勿論電流源回路 20 のトランジスタ 15 を  $p$  チャネル型としてもよい。ここで、トランジスタ 15 が  $p$  チャネル型の場合の回路図を図 19  
20 (F) に示す。図 19 (F) において、31 はリファレンス用定電流源、スイッチ 32 ~ スイッチ 34 はスイッチング機能を有する半導体素子(トランジスタ)、35 はトランジスタ( $p$  チャネル型)、36 は容量素子、37 は画素である。本実施の形態では、スイッチ 34 と、トランジスタ 35 と、容量素子 36 とが電流源回路  
24 に相当する電気回路とする。

25 トランジスタ 35 は  $p$  チャネル型であり、トランジスタ 35 のソース領域及びドレイン領域は、一方は  $V_{dd}$  に接続され、他方は定電流源 31 に接続されている。そ

して容量素子 3 6 の一方の電極は Vdd に接続され、他方の電極はスイッチ 3 6 に接続されている。容量素子 3 6 は、トランジスタ 3 5 のゲート・ソース間電圧を保持する役目を担う。

- 図 1 9 (F) に示す電流源回路 2 4 の動作は、電流の流れる方向が異なる以外は、  
5 上記の電流源回路 2 0 と同じ動作を行うのでここでは説明を省略する。なお電流の  
流れる方向を変更せずに、トランジスタ 1 5 の極性を変更した電流源回路を設計す  
る場合には、図 7 (A) に示す回路図を参考にすればよい。

なお図 3 6において、電流の流れる方向は図 1 9 (F) と同じで、トランジスタ  
3 5 を n チャネル型にしている。容量素子 3 6 は、トランジスタ 3 5 のゲート・ソ  
10 ース間に接続する。トランジスタ 3 5 のソースの電位は設定動作時と、入力動作時  
とで異なる。しかし、ソースの電位が変化しても、ゲート・ソース間電圧は保持さ  
れているため、正常に動作する。

続いて、図 6 (C) ~ (E) 及び図 7 (B) ~ (D) の電流源回路の動作について図 2 0 、 2 1 を用いて説明する。図 2 0 (A) ~ 図 2 0 (C) は、電流が回路素  
15 子間を流れしていく経路を模式的に示している。図 2 0 (D) は、信号電流  $I_{data}$  を  
電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図 2  
0 (E) は、信号電流  $I_{data}$  を電流源回路に書き込むときに容量素子 4 6 に蓄積さ  
れる電圧、つまりトランジスタ 4 3 、 4 4 のゲート・ソース間電圧と時間の関係を  
示している。また図 2 0 (A) ~ 図 2 0 (C) に示す回路図において、4 1 はリフ  
20 ァレンス用定電流源、スイッチ 4 2 はスイッチング機能を有する半導体素子、4 3 、  
4 4 はトランジスタ (n チャネル型)、4 6 は容量素子、4 7 は画素である。本実  
施の形態では、スイッチ 4 2 と、トランジスタ 4 3 、 4 4 と、容量素子 4 6 とが電  
流源回路 2 5 に相当する電気回路とする。なお図 2 0 (A) には引き出し線と符号  
が付いており、図 2 0 (B)、(C) において引き出し線と符号は図 2 0 (A) に準  
25 ずるので図示は省略する。

n チャネル型のトランジスタ 4 3 のソース領域は  $V_{ss}$  に接続され、ドレイン領域

は定電流源 4 1 に接続されている。n チャネル型のトランジスタ 4 4 のソース領域は  $V_{ss}$  に接続され、ドレイン領域は画素 4 7 の端子 4 8 に接続されている。そして容量素子 4 6 の一方の電極は  $V_{ss}$  (トランジスタ 4 3 及び 4 4 のソース) に接続され、他方の電極はトランジスタ 4 3 及びトランジスタ 4 4 のゲート電極に接続され 5 ている。容量素子 4 6 は、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧を保持する役目を担う。

なお実際には、電流源回路 2 5 は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路 2 5 から、信号線や画素が有する回路素子等を介して発光素子に信号電流  $I_{data}$  に応じた電流が流れる。しかし図 2 0 は、リファ 10 レンス用定電流源 4 1、電流源回路 2 5 及び画素 4 7 との関係の概略を説明するための図であるので、詳しい構成の図示は省略する。

図 2 0 の電流源回路 2 5 では、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが重要となる。そこでトランジスタ 4 3 及びトランジスタ 4 4 のサイズが、同じ場合と異なる場合について、符号を分けて説明する。図 2 0 (A) ~ 図 2 0 (C) に 15 おいて、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが同じ場合には、信号電流  $I_{data}$  を用いて説明する。そしてトランジスタ 4 3 及びトランジスタ 4 4 のサイズが異なる場合には、信号電流  $I_{data1}$  と信号電流  $I_{data2}$  を用いて説明する。なおトランジスタ 4 3 及びトランジスタ 4 4 のサイズは、それぞれのトランジスタの W (ゲート幅) / L (ゲート長) の値を用いて判断される。

20 最初に、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが同じ場合について説 明する。そしてまず信号電流  $I_{data}$  を電流源回路 2 0 に保持する動作を図 2 0 (A)、 (B) を用いて説明する。図 2 0 (A) において、スイッチ 4 2 がオンになると、リファレンス用定電流源 4 1 で信号電流  $I_{data}$  が設定され、定電流源 4 1 から電流 源回路 2 5 の方向に電流が流れしていく。このとき、リファレンス用定電流源 4 1 か 25 らは信号電流  $I_{data}$  が流れているので、図 2 0 (A) に示すように電流源回路 2 5 内では、電流の経路は I 1 と I 2 に分かれて流れる。このときの関係を図 2 0 (D)

に示しているが、信号電流  $I_{data} = I_1 + I_2$  の関係であることは言うまでもない。

定電流源 4 1 から電流が流れ始めた瞬間には、容量素子 4 6 に電荷は保持されていないため、トランジスタ 4 3 及びトランジスタ 4 4 はオフしている。よって、 $I_2 = 0$  となり、 $I_{data} = I_1$  となる。

- 5 そして、徐々に容量素子 4 6 に電荷が蓄積されて、容量素子 4 6 の両電極間に電位差が生じはじめる（図 20（E））。両電極間の電位差が  $V_{th}$  になると（図 20（E） A 点）、トランジスタ 4 3 及びトランジスタ 4 4 がオンして、 $I_2 > 0$  となる。上述したように  $I_{data} = I_1 + I_2$  であるので、 $I_1$  は次第に減少するが、依然電流は流れている。容量素子 4 6 には、さらに電荷の蓄積が行われる。
- 10 容量素子 4 6 の両電極間の電位差は、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧となる。そのため、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 4 4 が  $I_{data}$  の電流を流すことが出来るだけの電圧（ $V_{GS}$ ）になるまで、容量素子 4 6 における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると（図 20（E） B 点）、電流
- 15  $I_2$  は流れなくなり、さらにトランジスタ 4 3 及びトランジスタ 4 4 はオンしているので、 $I_{data} = I_2$  となる（図 20（B））。

- 次いで、画素に信号電流  $I_{data}$  を入力する動作を図 20（C）を用いて説明する。まずスイッチ 4 2 をオフにする。容量素子 4 6 には所定の電荷が保持されているため、トランジスタ 4 3 及びトランジスタ 4 4 はオンしており、画素 4 7 から信号電流  $I_{data}$  に等しい電流が流れる。これにより、画素に信号電流  $I_{data}$  が入力される。このとき、トランジスタ 4 4 を飽和領域において動作するようにしておけば、トランジスタ 4 4 のソース・ドレイン間電圧が変化したとしても、画素において流れる電流は変わりなく流れることができる。

- なお図 6（C）のようなカレントミラー回路の場合には、スイッチ 4 2 をオフにしなくとも、定電流源 4 1 から供給される電流を用いて画素 4 7 に電流を流すことも出来る。つまり電流源回路 2 0 に対して信号を設定する動作と、信号を画素に入

力する動作（入力動作）を同時に行うことが出来る。

次いで、トランジスタ43及びトランジスタ44のサイズが異なる場合について説明する。電流源回路25における動作は、上述した動作と同じであるのでここでは説明を省略する。トランジスタ43及びトランジスタ44のサイズが異なると、

- 5 必然的にリファレンス用定電流源41において設定される信号電流I<sub>data1</sub>と画素47に流れる信号電流I<sub>data2</sub>とは異なる。両者の相違点は、トランジスタ43及びトランジスタ44のW（ゲート幅）/L（ゲート長）の値の相違点に依存する。

通常はトランジスタ43のW/L値を、トランジスタ44のW/L値よりも大きくすることが望ましい。これは、トランジスタ43のW/L値を大きくすれば、信号電10 流I<sub>data1</sub>を大きくできるからである。この場合、信号電流I<sub>data1</sub>で電流源回路を設定するとき、負荷（交差容量、配線抵抗）を充電できるため、素早く設定動作を行うことが可能となる。

図20(A)～図20(C)に示した電流源回路25のトランジスタ43及びトランジスタ44はnチャネル型であったが、勿論電流源回路25のトランジスタ415 3及びトランジスタ44をpチャネル型としてもよい。ここで、トランジスタ43及びトランジスタ44がpチャネル型の場合の回路図を図21に示す。

図21において、41は定電流源、スイッチ42はスイッチング機能を有する半導体素子、43、44はトランジスタ（pチャネル型）、46は容量素子、47は画素である。本実施の形態では、スイッチ42と、トランジスタ43、44と、容量素子46とが電流源回路26に相当する電気回路とする。

pチャネル型のトランジスタ43のソース領域はVddに接続され、ドレイン領域は定電流源41に接続されている。pチャネル型のトランジスタ44のソース領域はVddに接続され、ドレイン領域は画素47の端子48に接続されている。そして容量素子46の一方の電極はVdd（ソース）に接続され、他方の電極はトランジ25 タ43及びトランジスタ44のゲート電極に接続されている。容量素子46は、トランジスタ43及びトランジスタ44のゲート・ソース間電圧を保持する役目を担

う。

図21に示す電流源回路24の動作は、電流の流れる方向が異なる以外は、図20（A）～図20（C）と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ43、トランジスタ44の極性を変えた

5 電流源回路を設計する場合には、図7（B）に示す回路図を参考にすればよい。

また、電流の流れる方向を変えずに、トランジスタの極性を変えることも可能である。それは、図36の動作に準ずるので、ここでは説明を省略する。

以上をまとめると、図19の電流源回路では、電流源で設定される信号電流 $I_{data}$ と同じ大きさの電流が画素に流れる。言い換えると、定電流源において設定された信号電流 $I_{data}$ と、画素に流れる電流は値が同じであり、電流源回路に設けられたトランジスタの特性バラツキの影響は受けない。

また、図19の電流源回路及び図6（B）の電流源回路では、設定動作を行う期間においては、電流源回路から画素に信号電流 $I_{data}$ を出力することは出来ない。そのため、1本の信号線ごとに2つの電流源回路を設けて、一方の電流源回路に信号を設定する動作（設定動作）を行い、他方の電流源回路を用いて画素に $I_{data}$ を入力する動作（入力動作）を行うことが好ましい。

ただし、設定動作と入力動作を同時に行わない場合は、各列に1つの電流源回路を設けるだけでもよい。なお、図32（A）、図33（A）の電流源回路は、図19の電流源回路と、接続や電流が流れる経路が異なる以外は、同様である。図35（A）の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様である。また、図6（B）、図33（B）の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様である。つまり、図35（A）では、トランジスタのゲート幅 $W$ が設定動作時と入力動作時で異なり、図6（B）、図33（B）では、トランジスタのゲート長 $L$ が設定動作時と入力動作時とで異なるだけで、それ以外は図19の電流源回路と同様の構成である。

一方、図20、21の電流源回路では、定電流源において設定された信号電流I dataと、画素に流れる電流の値は、電流源回路に設けられた2つのトランジスタのサイズに依存する。つまり電流源回路に設けられた2つのトランジスタのサイズ(W(ゲート幅)/L(ゲート長))を任意に設計して、定電流源において設定された信号電流I dataと、画素に流れる電流を任意に変えることが出来る。但し、2つのトランジスタのしきい値や移動度などの特性にバラツキが生じている場合には、正確な信号電流I dataを画素に出力することが難しい。

また、図20、21の電流源回路では、設定動作を行う期間に画素に信号を入力することは可能である。つまり、信号を設定する動作(設定動作)と、信号を画素に入力する動作(入力動作)を同時に行うことが出来る。そのため、図19の電流源回路のように、1本の信号線に2つの電流源回路を設ける必要はない。

なお信号線駆動回路に設けられる電流源回路は、信号線ごとに図19の電流源回路を1つ設ける場合と、信号線ごとに図19の電流源回路を2つ設ける場合と、信号線ごとに図20、21の電流源回路を設ける場合の3つの場合に大別される。

そして上記のうち、信号線ごとに図19の電流源回路を1つ設ける場合には、第1シフトレジスタの動作は、第2シフトレジスタが動作していない期間に行う必要がある。そして、それ以外の期間においては、第1シフトレジスタと第2シフトレジスタを同じ周波数で動作させてもよいし、異なる周波数で動作させてもよい。これは、信号線ごとに図19の電流源回路を1つ設ける場合において、設定動作と入力動作を同時に行うことが出来ないことに起因する。つまり、入力動作を行うときには第2シフトレジスタを用いて行い、設定動作を行うときには第1シフトレジスタを用いて行っている。つまり第2シフトレジスタが動作している期間においては、入力動作を行っているために、第1シフトレジスタは動作を行なうことが出来ない。

上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

(実施の形態2)

図19（および図6（B）、図33（B）、図35（A）など）に示した電流源回路では、1本の信号線ごと（各列）に2つの電流源回路を設けて、一方の電流源回路で設定動作を行い、他方の電流源回路で入力動作を行うように設定することが好ましいことは上述した。これは、設定動作と入力動作とを同時に行うことが出来ないためである。本実施の形態では、図2に示した第1電流源回路421又は第2電流源回路422の構成とその動作について図8を用いて説明する。

なお信号線駆動回路は、電流源回路420、シフトレジスタ及びラッチ回路などを有する。そして本発明の信号線駆動回路は、電流源回路420を制御する第1シフトレジスタと、ラッチ回路などを制御する第2シフトレジスタを有する。

本発明では端子aから入力される設定信号とは、第1シフトレジスタからのサンプリングパルスを示す。つまり図2における設定信号とは、第1シフトレジスタからのサンプリングパルスに相当する。そして本発明では、第1シフトレジスタからのサンプリングパルスと制御線のタイミングに合わせて、電流源回路420の設定を行う。

そして本発明では、電流源回路420を制御する第1シフトレジスタと、ラッチ回路を制御する第2シフトレジスタとを設けることにより、第1シフトレジスタの動作と第2シフトレジスタの動作を完全に独立させて行うことが出来る。つまり第2シフトレジスタを高速に動作させているときに、第1シフトレジスタを低速で動作させることが出来る。そのため、電流源回路420の設定に時間をかけて正確に行うことが出来る。

なおシフトレジスタとは、フリップフロップ回路（FF）等を複数列用いた構成を有するものである。そして前記シフトレジスタにクロック信号（S-CLK）、スタートパルス（S-SP）及びクロック反転信号（S-CLKb）が入力されて、これらの信号のタイミングに従って、順次出力される信号をサンプリングパルスとよぶ。

なおシフトレジスタはフリップフロップ回路やデコーダ回路等の回路により構成される。シフトレジスタがフリップフロップ回路により構成される場合には、通

常複数の配線は1列目から最終列目まで順に選択される。一方、シフトレジスタがデコーダ回路などにより構成される場合には、複数の配線はランダムに選択することが可能となる。シフトレジスタの構成は、その用途に従って、適宜選択するとよい。複数の配線をランダムに選択できると、設定信号もランダムに出力できるよう

5 になる。従って、電流源回路の設定動作も、1列目から順に行うのではなく、ランダムに行うことができるようになる。そうすると、設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようにになる。シフトレジスタの構成は、その用途に従って適宜選択するとよい。

電流源回路420は、端子aを介して入力される設定信号と端子dを介して入力  
10 される信号とにより制御され、端子bから電流（リファレンス用電流）が供給され、該電流（リファレンス用電流）に比例した電流を端子cより出力する。

図8（A）において、スイッチ134～スイッチ139と、トランジスタ132（nチャネル型）と、該トランジスタ132のゲート・ソース間電圧VGSを保持する容量素子133とを有する回路が第1電流源回路421又は第2電流源回路  
15 422に相当する。

第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ134、スイッチ136がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ135、スイッチ137がオンとなる。そうすると、電流線に接続されたリファレンス用定電流源109から端子bを  
20 介して電流（リファレンス用電流）が供給され、容量素子133に所定の電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ132のドレイン電流と等しくなるまで、容量素子133に電荷が保持される。

次いで、端子a、dを介して入力される信号により、スイッチ134～スイッチ  
25 137をオフにする。そうすると、容量素子133に所定の電荷が保持されているため、トランジスタ132は、信号電流I<sub>data</sub>に応じた大きさの電流を流す能力を

もつことになる。そして仮にスイッチ 101（信号電流制御スイッチ）、スイッチ 138、スイッチ 139 が導通状態になると、端子 c を介して信号線に接続された画素に電流が流される。このとき、トランジスタ 132 のゲート電圧は、容量素子 133 により所定のゲート電圧に維持されているため、トランジスタ 132 のドレイン領域には信号電流  $I_{data}$  に応じたドレン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れる電流の大きさを制御できる。

なお、スイッチ 101（信号電流制御スイッチ）が配置されていない場合は、スイッチ 138、139 が導通状態になると、端子 c を介して信号線に接続された画素に電流が流れる。

図 8 (B) において、スイッチ 144～スイッチ 147 と、トランジスタ 142 (n チャネル型) と、該トランジスタ 142 のゲート・ソース間電圧  $VGS$  を保持する容量素子 143 と、トランジスタ 148 (n チャネル型) とを有する回路が第 1 電流源回路 421 又は第 2 電流源回路 422 に相当する。

第 1 電流源回路 421 又は第 2 電流源回路 422 では、端子 a を介して入力される信号によってスイッチ 144、スイッチ 146 がオンとなる。また端子 d を介して制御線から入力される信号によってスイッチ 145、スイッチ 147 がオンとなる。そうすると、電流線に接続された定電流源 109 から、端子 b を介して電流（リファレンス用電流）が供給され、容量素子 143 に電荷が保持される。そして定電流源 109 から流される電流（リファレンス用電流）がトランジスタ 142 のドレン電流と等しくなるまで、容量素子 143 に電荷が保持される。なおスイッチ 144、スイッチ 145 がオンとなると、トランジスタ 148 のゲート・ソース間電圧  $VGS$  が 0 V となるので、トランジスタ 148 は自動的にオフになる。

次いで、端子 a、d を介して入力される信号により、スイッチ 144～147 がオフになる。そうすると、容量素子 143 には所定の電荷が保持されているため、トランジスタ 142 は信号電流に応じた大きさの電流を流す能力を有する。そして

仮にスイッチ 101（信号電流制御スイッチ）が導通状態になると、端子 c を介して信号線に接続された画素に電流が供給される。これは、トランジスタ 142 のゲート電圧は容量素子 143 により所定のゲート電圧に設定されており、該トランジスタ 142 のドレイン領域には信号電流  $I_{data}$  に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、  
5 画素において流れる電流の大きさを制御できる。

なおスイッチ 144、145 がオフすると、トランジスタ 142 のゲートとソースは同電位ではなくなる。その結果、容量素子 143 に保持された電荷がトランジスタ 148 の方にも分配され、トランジスタ 148 が自動的にオンになる。ここで、  
10 トランジスタ 142、148 は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ 142、148 はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長 L が異なることになる。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子  
15 b とリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。なお、スイッチ 101（信号電流制御スイッチ）が配置されていない場合は、スイッチ 144、145 がオフになると、端子 c を介して信号線に接続された画素に電流が流れる。  
20 なお、図 8 (A) は、図 6 (A) の構成に端子 d を追加した構成に相当する。図 8 (B) は、図 6 (B) の構成に端子 d を追加した構成に相当する。このように、図 6 (A) (B) の構成にスイッチを直列に追加して配置することにより、端子 d を追加した図 8 (A) (B) の構成に変形される。なお、第 1 電流源回路 421 又は第 2 電流源回路 422 には、2つのスイッチを直列に配置することで、図 6、図  
25 7、図 33、図 32、図 35 などに示した電流源回路の構成を任意に用いることができる。

なお図2では、1本の信号線ごとに第1電流源回路421及び第2電流源回路422の2つの電流源回路を有する電流源回路420を設けた構成を示したが、本発明はこれに限定されない。1本の信号線ごとに電流源回路の個数は特に限定されず、任意に設定することができる。複数の電流源回路は、各々に対応した定電流源を設けるように設定して、該定電流源から電流源回路に信号電流を設定するようにしてもよい。例えば、1本の信号線ごとに3つの電流源回路420を設けてもよい。そして各電流源回路420には異なるリファレンス用定電流源109から信号電流を設定するようにしてもよい。例えば、1つの電流源回路420には、1ビット用のリファレンス用定電流源を用いて信号電流を設定し、1つの電流源回路420には、2ビット用のリファレンス用定電流源を用いて信号電流を設定し、1つの電流源回路420には、3ビット用のリファレンス用定電流源を用いて信号電流を設定するようにしてもよい。そうすると、3ビット表示を行うことが出来る。

上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

15 本実施の形態は、実施の形態1と任意に組み合わせることが可能である。

#### (実施の形態3)

本実施の形態では、本発明の信号線駆動回路が具備される発光装置の構成について図15を用いて説明する。

図15(A)において、発光装置は基板401上に、複数の画素がマトリクス状に配置された画素部402を有し、画素部402の周辺には、信号線駆動回路403、第1及び第2の走査線駆動回路404、405を有する。図15(A)においては、信号線駆動回路403と、2組の走査線駆動回路404、405を有しているが、本発明はこれに限定されない。駆動回路の個数は、画素の構成に応じて任意に設計することができる。信号線駆動回路403と、第1及び第2の走査線駆動回路404、405には、FPC406を介して外部より信号が供給される。

第1及び第2の走査線駆動回路404、405の構成とその動作について図15

(B) を用いて説明する。第1及び第2の走査線駆動回路404、405は、シフトレジスタ407、バッファ408を有する。シフトレジスタ407は、クロック信号(G-CLK)、スタートパルス(S-SP)及びクロック反転信号(G-CLKb)に従って、順次サンプリングパルスを出力する。その後バッファ408で増幅されたサ  
5ンプリングパルスは、走査線に入力されて1行ずつ選択状態にしていく。そして選択された走査線によって制御される画素には、順に信号線から信号が書き込まれる。

なお、シフトレジスタ407とバッファ408の間にレベルシフタ回路を配置した構成にしてもよい。レベルシフタ回路を配置することによって、電圧振幅を大きくすることが出来る。

10 本実施の形態は、実施の形態1、2と任意に組み合わせることができる。

#### (実施の形態4)

本実施の形態では、図15(A)に示した信号線駆動回路403の構成とその動作について説明する。本実施の形態では、1ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について図3を用いて説明する。

15 まず図1に対応した場合について述べる。またここでは線順次駆動の場合について述べる。

図3(A)には、1ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、第1シフトレジスタ415、第2シフトレジスタ411、第1のラッチ回路412、第2のラッチ回路413、  
20 定電流回路414を有する。

動作を簡単に説明すると、第1シフトレジスタ415及び第2シフトレジスタ411は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK、(S1-CLK、S2-CLK))、スタートパルス(S-SP(S1-SP,S2-SP))、クロック反転信号(S-CLKb(S1-CLKb,S2-CLKb))のタイミングに従って、順次サンプリングパルスを出力する。  
25 第1シフトレジスタ415より出力されたサンプリングパルスは、定電流回路4

14に入力される。第2シフトレジスタ411より出力されたサンプリングパルスは、第1のラッチ回路412に入力される。第1のラッチ回路412には、デジタルビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持する。

- 5 第1のラッチ回路412において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、第2のラッチ回路413にラッチパルスが入力され、第1のラッチ回路412に保持されていたビデオ信号は、一斉に第2のラッチ回路413に転送される。すると、第2のラッチ回路413に保持されたビデオ信号は、1行分が同時に定電流回路414へと入力される。
- 10 第2のラッチ回路413に保持されたビデオ信号が定電流回路414に入力されている間、シフトレジスタ411においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1フレーム分のビデオ信号の処理を行う。なお定電流回路414は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。  
そして本発明では、第1シフトレジスタ415より出力されたサンプリングパルスは、定電流回路414に入力される。
- 15

- また定電流回路414は、電流源回路420が複数設けられる。図3(B)には、 $i$ 列目から $(i+2)$ 列目の3本の信号線の周辺の信号線駆動回路の概略を示す。  
電流源回路420は、端子aを介して入力される信号により制御される。また、端子bを介して、電流線に接続されたリファレンス用定電流源109から電流が供給される。電流源回路420と信号線S<sub>n</sub>に接続された画素との間にはスイッチ101(信号電流制御スイッチ)が設けられ、前記スイッチ101(信号電流制御スイッチ)は、ビデオ信号により制御される。ビデオ信号が明信号の場合、電流源回路420から画素に信号電流が供給される。ビデオ信号が暗信号の場合、スイッチ101(信号電流制御スイッチ)が制御されて画素に電流は供給されない。つまり  
20 電流源回路420は、所定の電流を流す能力を有し、該電流を画素に供給するか否かはスイッチ101(信号電流制御スイッチ)により制御される。
- 25

そして電流源回路420の構成には、図6、図7、図32、図33、図35などに示した電流源回路420の構成を任意に用いることが出来る。前記電流源回路420には、1つの構成を採用するだけでなく、複数を採用してもよい。

なお本発明では、端子aから入力される設定信号とは、第1シフトレジスタ415から供給されるサンプリングパルスに相当する。つまり電流源回路420の設定は、第1シフトレジスタ415から供給されるサンプリングパルスに合わせて行われる。

なお電流源回路420に、図6(A)、7(A)に示した構成を用いる場合、入力動作を行っている期間には、設定動作を行うことが出来ない。従って、入力動作を行っていない期間に設定動作を行う必要がある。但し、入力動作を行っていない期間は、1フレーム期間中に連続して存在せずに、点在している場合があるため、そのような場合には各列を順に選択するのではなく、任意の列を選択できるようにすることが好ましい。従って、ランダムに選択することができるデコーダ回路などを用いることが望ましい。一例として図37には、デコーダ回路を示す。また図38(A)にはフリップフロップ回路221、列選択信号が入力されるラッチ222及び選択制御信号が入力される論理演算子223で構成されたシフトレジスタ、図38(B)にはフリップフロップ回路224、列選択信号が入力される第1ラッチ225及び選択用ラッチ信号が入力される第2ラッチ226で構成されたシフトレジスタを示す。図38(A)(B)のどちらの構成も、複数の信号線をランダムに選択することができる。なお、図38(A)(B)に示す構成は、図37のデコーダに比べて配線数を削減することが出来る。

図38(A)の回路について、その動作を簡単に説明する。フリップフロップ回路(FF)221は、クロック信号(CLK)、スタートパルス(SP)、クロック反転信号(CLKb)のタイミングに従って、順次サンプリングパルスを出力する。フリップフロップ回路221より出力されたサンプリングパルスは、ラッチ(LAT1)222に入力される。ラッチ222には列選択信号が入力されており、サンプリ

グパルスが入力されるタイミングに従って、選択したい列のラッチ 222だけに選択信号が保持される。

フリップフロップ回路 221よりサンプリングパルスが出力されている間は、選択制御信号を L 信号にする。そうすると、ラッチ 222 の状態によらず、選択信号 5 は出力されない。なぜなら、ラッチ (LAT1) 222 の出力は、AND 回路に入力されている。AND 回路のもう一つの入力端子には、選択制御信号が入力されている。したがって、選択制御信号に L 信号を入力すると、AND 回路からは、必ず L 信号 10 が output される。つまり、ラッチ 222 の状態によらず、選択信号は出力されないとになる。そして、フリップフロップ回路 221よりサンプリングパルスが全列に 15 出力され、列選択信号により、選択したい列のラッチ 222 に選択信号が保持された後、選択制御信号を H 信号にする。すると、AND 回路からは、ラッチ 222 の信号が出力される。ラッチ 222 の信号が H 信号の場合は、AND 回路から H 信号が出力され、ラッチ 222 の信号が L 信号の場合は、AND 回路から L 信号が出力される。その結果、選択したい列にだけ、選択信号が出力される。なぜなら、選択 20 したい列のラッチ 222 の信号だけが H 信号になっているからである。そして、選択信号の出力を停止したいときには、選択制御信号を L 信号にする。すると、選択信号は出力されなくなる。従って、配線を選択している期間を自由に制御できる。

そして、再び、スタートパルス (SP) を入力し、フリップフロップ回路 (FF) からサンプリングパルスを出力させ、同様の動作を繰り返していく。このようにして、列選択信号のタイミングを制御することにより、任意の列をランダムに選択でき、列を選択している期間も任意に変えることができるようになる。つまり、任意の列の電流源回路に対して設定動作を行うことができ、設定動作を行う期間も任意に変えることができるようになる。ただし、この回路の場合、フリップフロップ回路 221よりサンプリングパルスが出力されている間は、選択信号を出力すること 25 は望ましくない。なぜなら、ラッチ 222 には、1 回前の情報がまだ保存されている可能性があるためである。

そこで、フリップフロップ回路 22.1 よりサンプリングパルスが出力されている間も、選択信号を出力できるようにした回路が、図 38 (B) の回路である。図 38 (B) では、フリップフロップ回路 22.4 よりサンプリングパルスが出力され、第 1 ラッチ 22.5 に列選択信号が入力される。そして、サンプリングパルスの出力が終了し、すべての第 1 ラッチ 22.5 に列選択信号が入力された後、選択用ラッチを用いて、第 1 ラッチ 22.5 の信号を第 2 ラッチ 22.6 に、一斉に転送する。そして、第 2 ラッチ 22.6 から選択信号が出力される。そして再び、フリップフロップ回路 22.4 よりサンプリングパルスが出力され、第 1 ラッチ 22.5 に列選択信号が入力される。ただし、そのとき同時に、第 2 ラッチ 22.6 から選択信号が出力され 10 つづけている。そのため、同時に各々を動作させることができる。

上記の図 37、38 に記載の回路を用いると、電流源回路の設定動作も、1 列目から順に行うのではなく、ランダムに行うことができるようになる。また、設定動作を行う時間の長さも、自由に長くとれるようになる。電流源回路の設定動作をランダムに行うことができると、様々な利点が生じる。たとえば、設定動作を行うこと 15 ができる期間が、1 フレーム中に点在している場合は、任意の列を選択できると、自由度が上がり、設定動作の期間を長くとることができるようにになる。例えば、1 フレーム中に点在している、設定動作を行うことができる期間において、1 列分の電流源回路の設定動作を、その期間いっぱいを用いて、行うことができる。

もし、任意の列の電流源回路を指定することができず、1 列目から最終列目まで 20 順に指定しなければならない場合には、1 列当たりの設定動作の期間が短くなってしまう。なぜなら、ある決まった期間において、1 列目から最終列目までの電流源回路に対して、設定動作を行わなければならないため、1 列当たりの設定動作の期間が短くなってしまうからである。その結果、十分に設定動作を行うことができない。

25 そのほかの利点としては、電流源回路 42.0 内に配置された容量素子（例えば、図 6 (A) では容量素子 103、図 6 (B) では容量素子 123、図 6 (B) では

容量素子 107 などに相当する) における電荷の漏れの影響を目立たなくさせることができるようになる。電荷の漏れが、1 列づつ順に生じると、その影響が見えやすくなるが、ランダムに生じると、人間の目には、見えにくくなる。

なお電流源回路 420 には、容量素子が配置されている。ただし、容量素子はトランジスタのゲート容量などで代用してもよい。前記容量素子には、電流源回路の設定動作により、電荷が蓄積される。理想的には、電流源回路の設定動作は、電源を入力した時に 1 回だけ行えばよい。つまり、信号線駆動回路を動作させるとき、その動作の最初の期間に、1 回だけ行えばよい。なぜなら、容量素子に蓄積される電荷量は、動作状態や時間などによって変化させる必要がなく、また、変化しないからである。しかしながら、現実では、容量素子には、様々なノイズが入ったり、容量素子と接続されているトランジスタのもれ電流が流れたりする。その結果、容量素子に蓄積される電荷量が、時間とともに変化してしまう場合がある。電荷量が変化すると、電流源回路から出力される電流、すなわち、画素に入力される電流も、変化してしまう。その結果、画素の輝度も変化してしまう。そこで、容量素子に蓄積された電荷を変動させないようにするために、電流源回路の設定動作を、ある周期で定期的に行い、電荷をリフレッシュさせ、変化した電荷を再び元に戻し、正しい量の電荷を保存しなおす必要が生じる。

仮に、容量素子に蓄積された電荷の変動量が大きい場合、電流源回路の設定動作を行って該電荷をリフレッシュさせ、変化した電荷を再び元に戻し、正しい量の電荷を保存しなおすようにすると、それに伴って電流源回路が出力する電流量の変動も大きくなる。そのため、1 列目から順に設定動作を行うと、電流源回路が出力する電流量の変動が、目で確認できるほどの表示妨害が生ずる場合がある。つまり、1 列目から順に生ずる画素の輝度の変化が目で確認できるほどの表示妨害が生ずる場合がある。この場合、1 列目から順に設定動作を行うのではなく、ランダムに設定動作を行えば、電流源回路が出力する電流量の変動を目立たなくさせることができる。このように、複数の配線をランダムに選択することにより、様々な利点ができる。

生じる。

一方、電流源回路420に、図6（C）～（E）に示した構成を用いる場合、設定動作と入力動作を同時に行うことが出来るため、1列目から最終列目まで順番に選択することができる通常のシフトレジスタを配置すれば充分である。

- 5 また図3（B）では、一列ずつ設定動作を行っているが、これに限定されない。図39に示すように、同時に複数列で設定動作を行ってもよい。ここで、同時に複数列で設定動作を行うことを多相化するとよぶ。なお図39には、2個のリファレンス用定電流源109が配置されているが、この2個のリファレンス用定電流源に対しても別に配置したリファレンス用定電流源から設定動作を行ってもよい。
- 10 ここで、図3（B）に示した定電流回路414の詳しい構成を図40、図41に示す。図40は、電流源回路の部分に、図6（C）を適用した場合の回路を示す。図41は、電流源回路の部分に、図6（A）を適用した場合の回路を示す。  
続いて、これまで線順次駆動の場合について述べてきた。次いで、ここでは点順次駆動の場合について述べる。
- 15 図42（A）において、ビデオ線から供給されるビデオ信号は、第2シフトレジスタ411から供給されるサンプリングパルスのタイミングに従ってサンプリングされる。また電流源回路420の設定は、第1シフトレジスタ415から供給されるサンプリングパルスのタイミングに従って行われる。このように、図42（A）の構成を有する場合には、点順次駆動を行う。
- 20 なお、サンプリングパルスが出力されて、ビデオ線からビデオ信号が供給されている間のみ、スイッチ101（信号電流制御スイッチ）がオン状態になり、且つサンプリングパルスが出力されなくなり、ビデオ線からビデオ信号が供給されなくなると、スイッチ101（信号電流制御スイッチ）がオフ状態になる場合には、正確に動作しない。なぜなら、画素では、電流を入力するためのスイッチはオン状態のままであるからである。この状態でスイッチ101（信号電流制御スイッチ）をオフ状態にすると、画素に電流が入力されなくなるため、正確に信号を入力できなくな

なる。

そこで、ビデオ線から供給されたビデオ信号を保持し、スイッチ 101（信号電流制御スイッチ）の状態を維持できるようにするため、ラッチ回路 452 が配置されている。ラッチ回路 452 は、単なる容量素子とスイッチのみで構成されていて

5 もよいし、SRAM 回路で構成されていてもよい。このように、サンプリングパルスが出力されて、ビデオ線からビデオ信号が 1 列づつ順に供給されて、そのビデオ信号に基づき、スイッチ 101（信号電流制御スイッチ）がオン状態もしくはオフ状態になり、画素への電流の供給を制御することにより、点順次駆動を実現することができる。

10 しかしながら、1 列目から最終列目まで順番に選択される場合、最初の方の列では、画素に信号を入力する期間が長い。一方、最後の方の列では、ビデオ信号を入力しても、すぐに、次の行の画素が選択されてしまう。その結果、画素に信号を入力する期間が短くなってしまう。そのような場合、図 42 (B) に示すように、画素部 402 に配置された走査線を中心で分断することにより、画素に信号を入力する期間を長くすることができる。その場合、画素部 402 の左側と右側に各 1 個の走査線駆動回路を配置し、該走査線駆動回路を用いて画素を駆動する。このようにすると、同じ行に配置されている画素でも、右側の画素と左側の画素とでは、信号を入力する期間をずらすことができる。図 42 (C) には、1、2 行目の右側と左側に配置された走査線駆動回路の出力波形と、第 2 シフトレジスタ 411 のスタートパルス (S2-SP) を示す。図 42 (C) に記載の波形のように動作させることにより、左側の画素でも、画素に信号を入力する期間を長くすることができるため、点順次駆動を行いやすくなる。

なお、線順次駆動か点順次駆動かなどに関係なく、電流源回路 420 の設定動作は、任意のタイミング、任意の列に配置された電流源回路に、任意の回数だけ行え  
25 ばよい。但し、理想的には、電流源回路 420 に配置されたトランジスタのゲート・ソース間に接続された容量素子に所定の電荷が保持されている限りは、設定動作を

行うときのみの 1 回だけ行えばよい。又は、容量素子に保持された所定の電荷が放電（変動）してしまった場合に行えばよい。また、電流源回路 420 の設定動作は、どれだけの期間をかけて、全列の電流源回路 420 の設定動作を行ってもよい。つまり、1 フレーム期間内に、全列の電流源回路 420 の設定動作を行ってもよい。

5 あるいは、1 フレーム期間内では、数列の電流源回路 420 に設定動作を行って、結果として、数フレーム期間以上かけて、全列の電流源回路 420 の設定動作を行ってもよい。

また本形態では各列に一つの電流源回路を配置する場合について上述したが、本発明はこれに限定されず、複数の電流源回路を配置してもよい。

10 そこで、一例として、図 3 (B) の電流源回路の部分に、図 2 を適用した場合について考える。その場合の定電流回路 414 の詳しい構成を図 43 に示す。ここで、図 43 は、電流源回路の部分に、図 6 (A) を適用した場合の回路を示す。図 43 に示す構成では、制御線を制御することにより、一方の電流源に対して設定動作を行い、同時に、もう一方の電流源が入力動作を行うことができる。

15 また本発明は、2 つのシフトレジスタ（第 1 及び第 2 シフトレジスタ）を設けた信号線駆動回路を提供する。この第 1 及び第 2 シフトレジスタは、一方は電流源回路、他方はビデオ信号を制御するための回路、つまり画像を表示するために動作させる回路であり、例えばラッチ回路やサンプリングスイッチやスイッチ 101（信号電流制御スイッチ）などを制御する。そうすると、第 1 及び第 2 シフトレジスタ 20 の動作を独立に行なうことが可能となり、必然的に電流源回路の設定動作と画像表示動作とを独立に行なうことが可能となる。電流源回路の設定動作は、時間をかけて行なう方が正確に行えるため、電流源回路とラッチ回路とを独立に動作させ出来る本発明の構成は大変有効である。

また、本発明の信号線駆動回路における電流源回路について、レイアウト図を図 25 57 に、対応した回路図を図 58 に示す。

なお本実施の形態は、実施の形態 1～3 と任意に組み合わせることが可能である。

## (実施の形態 5)

本実施の形態では、図 15 (A) に示した信号線駆動回路 403 の詳細な構成とその動作について説明するが、本実施の形態では、3 ビットのデジタル階調表示を行う場合に用いる信号線駆動回路 403 について説明する。

- 5 図 4 には、3 ビットのデジタル階調表示を行う場合における信号線駆動回路 403 の概略図を示す。信号線駆動回路 403 は、第 1 シフトレジスタ 415、第 2 シフトレジスタ 411、第 1 のラッチ回路 412、第 2 のラッチ回路 413、定電流回路 414 を有する。

動作を簡単に説明すると、第 1 シフトレジスタ 415 及び第 2 シフトレジスタ 411 は、フリップフロップ回路 (FF) 等を複数列用いて構成され、クロック信号 (S-CLK、(S1-CLK、S2-CLK))、スタートパルス (S-SP(S1-SP,S2-SP))、クロック反転信号 (S-CLKb(S1-CLKb,S2-CLKb)) のタイミングに従って、順次サンプリングパルスを出力する。

第 1 シフトレジスタ 415 より出力されたサンプリングパルスは、定電流回路 414 に入力される。シフトレジスタ 411 より出力されたサンプリングパルスは、第 1 のラッチ回路 412 に入力される。第 1 のラッチ回路 412 には、3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持する。

第 1 のラッチ回路 412において、最終列までビデオ信号の保持が完了すると、20 水平帰線期間中に、第 2 のラッチ回路 413 にラッチパルスが入力され、第 1 のラッチ回路 412 に保持されていた 3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) は、一斉に第 2 のラッチ回路 413 に転送される。すると、第 2 のラッチ回路 413 に保持された 3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) は、1 行分が同時に定電流回路 414 へと入力される。

25 第 2 のラッチ回路 413 に保持された 3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) が定電流回路 414 に入力されている間、シフトレジス

タ 4 1 1においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1 フレーム分のビデオ信号の処理を行う。

なお定電流回路 4 1 4 は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。また定電流回路 4 1 4 は、電流源回路 4 2 0 を複数設けられる。図 5 には、 $i$  列目から  $(i + 2)$  列目の 3 本の信号線の周辺の信号線駆動回路の概略を示す。

なお図 5 では、各ビットに対応したリファレンス用定電流源 1 0 9 が配置された場合について示す。

各電流源回路 4 2 0 は、端子 a、端子 b 及び端子 c を有する。電流源回路 4 2 0 10 は、端子 a を介して入力される信号により制御される。また、端子 b を介して、電流線に接続されたリファレンス用定電流源 1 0 9 から電流が供給される。そして電流源回路 4 2 0 と信号線  $S_n$  に接続された画素との間にはスイッチ（信号電流制御スイッチ） 1 1 1～1 1 3 が設けられており、前記スイッチ（信号電流制御スイッチ） 1 1 1～1 1 3 は、1 ビット～3 ビットのビデオ信号により制御される。ビデ 15 才信号が明信号の場合、電流源回路から画素に電流が供給される。反対にビデオ信号が暗信号の場合、前記スイッチ（信号電流制御スイッチ） 1 1 1～1 1 3 が制御されて、画素に電流は供給されない。つまり電流源回路 4 2 0 は、所定の電流を流す能力を有し、該電流を画素に供給するか否かはスイッチ（信号電流制御スイッチ） 1 1 1～1 1 3 により制御される。

20 なお図 5 において、電流線とリファレンス用定電流源は、各ビットに対応して配 置されている。各ビットの電流源から供給される電流値の合計が、信号線に供給さ れる。つまり、定電流源回路 4 1 4 は、デジタル-アナログ変換の機能も有する。

なお本発明では、端子 a から入力される設定信号とは、第 1 シフトレジスタ 4 1 5 から供給されるサンプリングパルスに相当する。つまり電流源回路 4 2 0 の設定 25 は、第 1 シフトレジスタから供給されるサンプリングパルスに合わせて行う。また 本実施の形態では、3 ビットのデジタル階調表示を行う場合を例に挙げて説明する

関係上、1本の信号線ごと（各列）に3つの電流源回路420が設けられている。

1本の信号線に接続された3つの電流源回路420から供給される信号電流I<sub>data</sub>を1：2：4として設定すると、 $2^3=8$ 段階で電流の大きさを制御出来る。

なお、図5に示した信号線駆動回路では、1ビット～3ビットのそれぞれに専用

5 のリファレンス用定電流源109が配置されているが、本発明はこれに限定されない。図44に示すように、ビット数よりも少ない個数のリファレンス用定電流源109が配置されていてもよい。例えば、最上位ビット（ここでは3ビット）のリファレンス用定電流源109のみを配置して、1列に配置された複数の電流源回路から選択された1つの電流源回路を設定する。そして、設定動作が既に行われた電流  
10 源回路を用いて、他の電流源回路の動作を行うようにしてもよい。言い換えれば、設定情報を共有するようにしてもよい。

例えば、3ビット用の電流源回路420にのみに設定動作を行う。そして、既に設定動作が行われた電流源回路420を用いて、他の1ビット用と2ビット用の電流源回路420に、情報を共有させる。より具体的には、電流源回路420の中で、

15 電流を供給するトランジスタ（図6（A）では、トランジスタ102が相当）のゲート端子を接続し、ソース端子も接続する。その結果、情報を共有しているトランジスタ（電流を供給するトランジスタ）のゲート・ソース間電圧は、等しくなる。

なお、図44では、最下位ビット（ここでは1ビット）の電流源回路ではなく、最上位ビット（ここでは3ビット）の電流源回路に、設定動作を行っている。この  
20 ように、値の大きなビットの電流源回路に対して設定動作を行うことにより、ビット間の電流源回路の特性ばらつきの影響を小さくすることができる。仮に、最下位ビット（ここでは1ビット）の電流源回路に設定動作を行い、上位ビットの電流源回路に最下位ビットの電流源回路が行った設定動作の情報を共有した場合、各々の電流源回路の特性がばらつくと、上位ビットの電流値が正確な値にならなくなる。  
25 上位ビットの電流源回路は、出力する電流値が大きいため、少しでも特性がばらつくと、そのばらつきの影響が大きくてしまい、出力する電流値も大きくばらつい

てしまうからである。反対に、最上位ビット（ここでは 3 ビット）の電流源回路に設定動作を行い、下位ビットの電流源回路に情報を共有した場合、各々の電流源回路の特性がばらついても、出力する電流値が小さいため、ばらつきによる電流値の差が小さく、影響は小さくなる。

5 そして電流源回路 420 の構成には、図 6、図 7、図 32、図 33、図 35 などに示した電流源回路 420 の構成を任意に用いることが出来る。前記電流源回路 420 には、1 つの構成を採用するだけでなく、複数を採用してもよい。

なお図 6 (C) に示すようにカレントミラー回路を有する構成で電流源回路 420 を構成するときには、図 23、24 に示すように、各電流源回路 420 が有する  
10 トランジスタのゲート電極が共通に接続している構成にすることも出来る。

以下には、1 例として、図 4、図 5、図 44 に示した定電流回路 414 の詳しい構成を図 23、図 24、図 45 に示す。

図 23、図 24、図 45 の各列に設けられた電流源回路 420 において、信号線 S<sub>i</sub> ( $1 \leq i \leq n$ ) へ所定の信号電流 I<sub>data</sub> を出力するか否かを第 2 のラッチ回路  
15 413 から入力される 3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) が有する High 又は Low の情報によって制御される。

図 45 には、図 5 に図示した信号線駆動回路に、図 6 (A) の電流源回路を配置した場合の回路図を示す。図 45 では、設定動作時には、トランジスタ A~C はオフにして動作させる。これは電流のもれを防ぐためである。或いは、トランジスタ  
20 A~C と直列にスイッチを配置し、設定動作時にはオフにするようにしてもよい。

図 23、24 には、ビット数よりも少ない個数のリファレンス用定電流源 109 を配置した場合を示す。より詳しくは、図 23 には、図 44 に図示した信号線駆動回路に図 6 (C) の電流源回路を配置した場合の回路図を示す。図 24 には、図 44 に図示した信号線駆動回路に図 6 (A) の電流源回路を配置した場合の回路図を示す。  
25

図 23 において、電流源回路 420 は、トランジスタ 180 ~ トランジスタ 18

8 及び容量素子 189 を有する。本実施の形態では、トランジスタ 180～トランジスタ 188 は全て n チャネル型とする。

トランジスタ 180 のゲート電極には、第 2 のラッチ回路 413 から 1 ビットのデジタルビデオ信号が入力される。またトランジスタ 180 のソース領域とドレイ 5 ニング領域は、一方はソース信号線 (S i) に接続され、他方はトランジスタ 183 のソース領域とドレイン領域の一方に接続されている。

トランジスタ 181 のゲート電極には、第 2 のラッチ回路 413 から 2 ビットのデジタルビデオ信号が入力される。またトランジスタ 181 のソース領域とドレイ 10 ニング領域は、一方はソース信号線 (S i) に接続され、他方はトランジスタ 184 のソース領域とドレイン領域の一方に接続されている。

トランジスタ 182 のゲート電極には、第 2 のラッチ回路 413 から 3 ビットのデジタルビデオ信号が入力される。またトランジスタ 182 のソース領域とドレイ 15 ニング領域は、一方はソース信号線 (S i) に接続され、他方はトランジスタ 185 のソース領域とドレイン領域の一方に接続されている。

トランジスタ 183～トランジスタ 185 のソース領域とドレイン領域は、一方 20 は V<sub>ss</sub> に接続され、他方はトランジスタ 180～トランジスタ 182 のソース領域とドレイン領域の一方に接続されている。トランジスタ 186 のソース領域とドレイン領域は、一方は V<sub>ss</sub> に接続され、他方はトランジスタ 188 のソース領域とドレイン領域の一方に接続されている。

トランジスタ 187 とトランジスタ 188 のゲート電極には、第 1 シフトレジス 25 タ 415 からサンプリングパルスが入力される。トランジスタ 187 のソース領域とドレイン領域は、一方はトランジスタ 186 のソース領域とドレイン領域の一方に接続され、他方は容量素子 189 の一方の電極に接続されている。トランジスタ 188 のソース領域とドレイン領域は、一方は電流線 190 に接続され、他方はトランジスタ 186 のソース領域とドレイン領域の一方に接続されている。

容量素子 189 の一方の電極は、トランジスタ 183～トランジスタ 186 のゲ

ート電極に接続され、他方の電極は  $V_{ss}$  に接続されている。容量素子 189 は、トランジスタ 183～トランジスタ 186 のゲート・ソース間電圧を保持する役目を担う。

そして電流源回路 420 では、トランジスタ 187 及びトランジスタ 188 がオ  
5 ソンになると電流線 190 に接続されたリファレンス用定電流源（図示せず）から、電流が容量素子 189 に流れしていく。このときトランジスタ 180～トランジスタ 182 はオフである。

そして徐々に容量素子 189 に電荷が蓄積され、両電極間に電位差が生じ始める。  
そして両電極間の電位差が  $V_{th}$  になると、トランジスタ 183～トランジスタ 18  
10 6 はオンになる。

容量素子 189において、その両電極の電位差、つまりトランジスタ 183～トランジスタ 186 のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が続けられる。言い換えると、トランジスタ 183～トランジスタ 186 が信号電流を流すことが出来るだけの電圧になるまで、電荷の蓄積が続けられる。

15 そして電荷の蓄積が終了すると、トランジスタ 183～トランジスタ 186 はオンになる。

そして電流源回路 420において、3 ビットのデジタルビデオ信号により、トランジスタ 180～トランジスタ 182 の導通又は非導通が選択される。例えば、トランジスタ 180～トランジスタ 182 が全て導通状態になったときは、信号線  
20 (S<sub>i</sub>) に供給される電流は、トランジスタ 183 のドレイン電流と、トランジスタ 184 のドレイン電流と、トランジスタ 185 のドレイン電流の総和となる。また、トランジスタ 180のみが導通状態になったときは、トランジスタ 183 のドレイン電流のみが信号線 (S<sub>i</sub>) に供給される。

25 このように、トランジスタ 183～185 のゲート端子を接続することにより、設定動作による情報を共有させることができる。なお、ここでは、同じ列の複数のトランジスタ内で、情報を共有しているが、これに限定されない。例えば、別の列

のトランジスタと設定動作による情報を共有させてもよい。つまり、トランジスタのゲート端子を、別の列のトランジスタとも接続させてもよい。これにより、設定すべき電流源回路の数を減らすことができる。そのため、設定動作をするのに必要な時間を短縮することができる。また、回路数を減らすことができるので、レイア  
5 ウト面積を小さくすることができる。

また図24において、電流源回路の設定動作時には、トランジスタ182はオフにして動作させる。これは電流のもれを防ぐためである。また、図24の構成において、トランジスタ182と直列にスイッチ203を配置した場合の電流源回路の回路図を図46に示す。図46において、スイッチ203を設定動作時にはオフに  
10 し、それ以外の時にはオンにする。

このとき、図23、図24、図46では、トランジスタ183のドレイン電流と、トランジスタ184のドレイン電流と、トランジスタ185のドレイン電流を1：2：4として設定すると、 $2^3=8$ 段階で電流の大きさを制御出来る。そのため、トランジスタ183～185のW(チャネル幅)/L(チャネル長)値を、1：2：4  
15 として設計すると、それぞれのオン電流が1：2：4となる。

また図24には、図23とは異なる回路構成の電流源回路420を示す。図24に示す電流源回路420では、トランジスタ186～トランジスタ188の代わりにスイッチ191、スイッチ192が配置された構成になっている。

そして図24に示す電流源回路420では、スイッチ191及びスイッチ192  
20 がオンになると、電流線190に接続されたリファレンス用定電流源(図示せず)から供給される電流が、トランジスタ185を介して容量素子189に流れしていく点以外は、図23に示す電流源回路420の動作と同じあるので、本実施の形態では説明は省略する。

なお本実施の形態では、図23、図24、図46に示す電流源回路420が有するトランジスタは全てnチャネル型としたが、本発明はこれに限定されずpチャネル型のトランジスタを用いることもできる。なお、pチャネル型のトランジスタを

用いた場合における電流源回路 420 の動作は、電流の流れる方向が変わる点と、容量素子が Vss ではなく、Vdd に接続される点以外は上述した動作と同じであるので、本実施の形態では説明を省略する。

また、p チャネル型のトランジスタを用いる場合、VSS と Vdd を入れ替えない  
5 場合、つまり電流の流れる方向が変わらない場合は、図 6 と図 7 の対比を用いれば、  
容易に適用できる。

また図 5 では、1 本の信号線につき各ビットの電流源回路を一つずつ配置したが、  
図 2 に示すように、1 本の信号線につき複数の電流源回路を配置してもよい。この  
ときの図を図 47 に示す。同様に、図 44 に示す構成では各ビットの定電流源 10  
10 9 を 1 つずつ配置したが、図 48 に示すように複数ビットで定電流源 109 を共有  
してもよい。

なお本実施の形態では、3 ビットのデジタル階調表示を行う場合における信号線  
駆動回路の構成とその動作について説明した。しかし本発明は 3 ビットに限らず、  
本実施の形態を参考にして任意のビット数に対応した信号線駆動回路を設計し、任  
15 意のビット数の表示を行うことが出来る。また本実施の形態は、実施の形態 1～4  
と任意に組み合わせることが可能である。

また任意のビット数の表示を行う際、多相化を図ることや点順次駆動を行うこと  
も容易に実現することが出来る。さらに、電流源回路の設定動作は、1 列づつ行う  
のではなく、ランダムに選択して行ってもよい。その場合、図 37 に示すデコーダ  
20 回路や、図 38 (A)、図 38 (B) に示す回路を用いるとよい。

#### (実施の形態 6)

電流源回路に電流を供給するリファレンス用定電流源 109 は、基板上に信号線  
駆動回路と一体形成してもよいし、I C 等を用いて基板の外部に配置してもよい。  
基板上に一体形成する場合には、図 6～8、図 31～図 35 に示した電流源回路の  
25 いずれを用いて形成してもよい。或いは、単に 1 個のトランジスタを配置して、ゲ  
ートに加える電圧に応じて、電流値を制御するようにしてよい。本実施の形態で

は、リファレンス用定電流源 109 の一例について説明する。

図 25 には、一例として、最も簡単な場合を示す。つまり、トランジスタのゲートに電圧を加えて、ゲートの電圧を調節する方式であり、且つ 3 本の電流線が必要な場合を示す。仮に 1 本の電流線のみが必要な場合は、単純に、トランジスタ 1850 と対応する電流線を図 25 に示す構成から削除すればよい。図 25 では、端子 f を介して、外部から、トランジスタ 1830、1840、1850 に印加するゲート電圧を調節することにより、電流の大きさを制御している。なお、このとき、トランジスタ 1830、1840、1850 の W/L 値を 1 : 2 : 4 として設計すると、それぞれのオン電流は 1 : 2 : 4 となる。

10 次に、図 26 (A) には端子 f から電流を供給する場合について述べる。図 25 のように、ゲートに電圧を加えて調整する場合には、温度特性などにより、そのトランジスタの電流値が変動してしまうことがある。しかしながら、図 26 (A) のように電流で入力すると、その影響を抑制することができる。

なお、図 25、図 26 (A) に示す構成の場合、電流線に電流を流している間は、  
15 端子 f から電圧又は電流を入力し続ける必要がある。しかし、電流線に電流を流す必要が無い場合は、端子 f から電圧や電流を入力する必要はない。

また図 26 (B) に示すように図 26 (A) の構成にスイッチ 1870、1880、容量素子 1890 を追加してもよい。そうすると、電流線に電流を供給しているときでも、リファレンス用 IC からの供給（端子 f から入力する電流や電圧の供給）を停止することが可能となり、消費電力が小さくなる。なお図 25、図 26 では、リファレンス用定電流源に配置された他の電流源用トランジスタと情報を共有していた。つまり、トランジスタ 1830、1840、1850 のゲートは、互いに接続されていた。

そこで図 27 には、各々の電流源回路に設定動作を行う場合について示す。図 27 では、端子 f から電流を入力し、端子 e から供給される信号によりタイミングを制御する。なお図 27 に示した回路は、図 6 (A) の回路を適用した例である。従

って、設定動作と入力動作とを同時に行えない。そのため、この回路の場合には、リファレンス用定電流源に対する設定動作は、電流線に電流を流す必要がないタイミングで行う必要がある。

- 図28には、多相化させたリファレンス用定電流源109の例を示す。つまり、  
5 図39に示した構成を適用したリファレンス用電流源109に相当する。多相化の場合には、図25、図26、図27の回路を適用してもよい。しかしながら、電流線に供給される電流値は同じなので、図28のように、1つの電流を用いて、各々の電流源回路に対して設定動作を行えば、外部から入力する電流数を削減することができる。
- 10 なお本実施の形態は、実施の形態1～5と任意に組み合わせることが可能である。  
(実施の形態7)
- 上記形態では、主に、信号電流制御スイッチが存在する場合について述べてきた。本実施の形態では、信号電流制御スイッチが無い場合、つまり、信号線とは異なる別の配線に、ビデオ信号には比例しない電流（一定の電流）を供給する場合について述べる。この場合にはスイッチ101（信号電流制御スイッチ）を配置する必要はない。
- 15 なお、信号電流制御スイッチが存在しない場合には、信号電流制御スイッチを配置されていないことを除けば、信号電流制御スイッチが存在する場合と同様である。よって、本形態では簡単に説明し、同様な部分については、省略する。
- 20 信号電流制御スイッチを配置する場合と配置しない場合とを対比させると、図1については図29、図2については図30に示す。図3(B)については、図49(A)に示す。図1、2、3(B)の構成では、ビデオ信号により信号電流制御スイッチを制御して、電流は信号線に出力される。図29、30、49(A)の構成では、電流は画素用電流線に出力され、信号線にはビデオ信号が出力される。
- 25 この場合の画素構成について、概略図を図49(B)に示す。そして、この画素の動作方法について簡単に述べる。まず、スイッチング用トランジスタがオンの時、

信号線を通って、ビデオ信号が画素に入力され、容量素子に保存される。そして、ビデオ信号の値により、駆動用トランジスタがオン又はオフする。一方、電流源回路は、一定の電流を流す能力を有する。よって、駆動用トランジスタがオンの場合は、発光素子に一定の電流がながれて、発光する。駆動用トランジスタがオフの場合は、発光素子に電流が流れず、発光しない。このようにして、画像を表示する。  
5 ただし、この場合、発光と非発光の2状態しか表現できない。従って、時間階調法や面積階調法などを用いて、多階調化をはかっている。

なお、電流源回路の部分には、図6～8、図31～図35のいずれの回路を適用してもよい。そして、電流源回路が一定の電流を流せるようにするために、設定10動作を行えばよい。画素に配置された電流源回路に設定動作を行う場合は、画素用電流線を通して電流を入力して、実行する。この画素に配置された電流源回路に設定動作を行う場合は、任意の時に、任意のタイミングで、任意の回数だけ行えばよい。この画素の電流源回路に対する設定動作は、画像を表示するための動作とは、全く無関係に実行することができる。なお好ましくは電流源回路内に配置された容量素子に保存されている電荷が漏ってきたときに、設定動作を行えばよい。  
15

次に、図49(A)に示した定電流回路414の詳しい構成を図50に示す。ここで、図50は、電流源回路の部分に、図6(A)の回路を適用した場合を示す。また、図49(A)の電流源回路に、図30の回路を適用した場合について考える。この場合の定電流回路414の詳しい構成を図51に示す。ここで、図51は、電20流源回路の部分に、図6(A)の回路を適用した場合を示す。図51の構成では、制御線を制御することにより、一方の電流源に対して設定動作を行い、同時に、他方の電流源は入力動作を行うことができる。

25 このように、信号電流制御スイッチを配置しない場合、信号電流制御スイッチが無いことを除けば、信号電流制御スイッチが存在する場合と同様である。よって、詳しい説明は省略する。

本実施の形態は、実施の形態1～6と任意に組み合わせることが可能である。

## (実施の形態 8)

本発明の実施の形態について、図 5 2 を用いて説明する。図 5 2 (A)において、画素部の上方に信号線駆動回路、下方に定電流回路を配置し、前記信号線駆動回路に電流源 A、定電流回路に電流源 B を配置する。電流源 A、B から供給される電流 5 を  $I_A$ 、 $I_B$  とし、画素に供給される信号電流を  $I_{data}$  とすると、 $I_A=I_B+I_{data}$  が成立する。そして、画素に信号電流を書き込む際には、電流源 A、B の両者から電流を供給するように設定する。このとき、 $I_A$ 、 $I_B$  を大きくすると、画素に対する信号電流の書き込み速度を早くすることができる。

このとき、電流源 A を用いて、電流源 B の設定動作を行う。画素には、電流源 A 10 の電流から電流源 B の電流を差し引いた電流が流れる。したがって、電流源 A を用いて、電流源 B の設定動作を行うことにより、ノイズなどの様々な影響をより小さくできる。

図 5 2 (B)において、リファレンス用定電流源（以下定電流源と表記）C、E は、画素部の上方と下方に配置される。そして、電流源 C、E を用いて、信号線駆 15 動回路、定電流回路に配置された電流源回路の設定動作を行う。電流源 D は、電流源 C、E を設定する電流源に相当し、外部からリファレンス用電流が供給される。

なお、図 5 2 (B)において、下方に配置してある定電流回路を信号線駆動回路としてもよい。それにより、上方と下方の両方に信号線駆動回路が配置できる。そして、各々、画面（画素部全体）の上下半分ずつの制御を担当する。このようにすることで、同時に 2 行分の画素を制御できる。そのため、信号線駆動回路の電流源、 20 画素、画素の電流源などへの設定動作（信号入力動作）のための時間を長くとることが可能となる。そのため、より正確に設定できるようになる。

本実施の形態は、実施の形態 1～7 と任意に組み合わせることが可能である。

## &lt;実施例 1&gt;

25 本実施例では、時間階調方式について図 1 4 を用いて詳しく説明する。通常、液晶表示装置や発光装置等の表示装置においては、フレーム周波数は 60 Hz 程度で

ある。つまり図14(A)に示すように、1秒間に60回程度の画面の描画が行われる。これにより、人間の眼にフリッカ(画面のちらつき)を感じさせないようにすることが出来る。このとき、画面の描画を1回行う期間を1フレーム期間と呼ぶ。

本実施例では一例として、特許文献1の公報にて公開されている時間階調方式を  
5 説明する。時間階調方式では、1フレーム期間を複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多い。そしてここでは簡単のため、分割数が階調ビット数に等しい場合を示す。つまり本実施例では3ビット階調であるので、3つのサブフレーム期間S F 1～S F 3に分割している例を示す(図14(B))。

10 各サブフレーム期間は、アドレス(書き込み)期間T aと、サステイン(発光)期間T sを有する。アドレス期間とは、画素にビデオ信号を書き込む期間であり、各サブフレーム期間での長さは等しい。サステイン期間とは、アドレス期間において画素に書き込まれたビデオ信号に基づいて発光素子が発光又は非発光する期間である。このとき、サステイン期間T s 1～T s 3は、その長さの比をT s 1 : T s  
15 2 : T s 3 = 4 : 2 : 1とする。つまり、nビット階調を表現する際、n個のサステイン期間の長さの比は、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ とする。そして、どのサステイン期間で発光素子が発光又は非発光するかにより、1フレーム期間における各画素が発光する期間の長さが決定し、これによって階調表現を行う。

次いで、時間階調方式を適用した画素における具体的な動作について説明するが、  
20 本実施例では図16(B)に示す画素を参照して説明する。図16(B)に示す画素は、電流入力方式が適用される。

まずアドレス期間T aにおいては、以下の動作を行う。第1の走査線602および第2の走査線603が選択されて、TFT606、607がオンする。このとき、信号線601を流れる電流を信号電流I dataとなる。そして容量素子610には所  
25 定の電荷が蓄積されると、第1の走査線602および第2の走査線603の選択が終了して、TFT606、607がオフする。

次いでサステイン期間 $T_s$ においては、以下の動作を行う。第3の走査線604が選択されて、TFT609がオンする。容量素子610には先ほど書き込んだ所定の電荷が保持されているため、TFT608はオンしており、電流線605から信号電流 $I_{data}$ に等しい電流が流れる。これにより発光素子611が発光する。

- 5 以上の動作を各サブフレーム期間で行うことにより、1フレーム期間を構成する。この方法によると、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、図14(B)、(C)に示すように、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいても良い。さらに各フレーム期間内で、その順序が変化  
10 しても良い。

また、m行目の走査線のサブフレーム期間SF2を図14(D)に図示する。図14(D)に図示するように、画素ではアドレス期間 $T_a2$ が終了したら、直ちにサステイン期間 $T_s2$ が開始されている。

- 次に、信号線駆動回路の電流源回路に関連した部分、特に、設定動作に関する部  
15 分の駆動方法について述べる。

なお電流源回路には、設定動作と入力動作を同時に行うことができる方式と、同時に行うことができない方式があることは上記の実施の形態において上述した。

- 前者の設定動作と入力動作を同時に行うことができる電流源回路では、各動作を行なうタイミングは特に限定されない。これは、図2や図44などのように、1列に複数の電流源回路が配置されている場合も同様である。しかしながら、後者の設定動作及び入力動作を同時に行うことができない電流源回路では、設定動作を行うタイミングに工夫が必要となる。時間階調方式を採用した場合には、出力動作を行っていないときに設定動作を行う必要がある。例えば図1のドライバ部の構成と、図16(B)の構成の画素を有する場合は、画素部に配置されたいずれの走査線においてもアドレス期間 $T_a$ でない期間において、設定動作を行うようにすることが必要となる。また図30のドライバ部の構成と、図49(B)の構成の画素を有する

場合は、画素に配置された電流源回路に設定動作を行っていない間に、ドライバ部に配置された電流源回路の設定動作を行う必要がある。

なおそのときには、電流源回路を制御するシフトレジスタの周波数を、低速に設定できる。そうすると、電流源回路の設定動作に時間をかけて正確に行うことが出  
5 来る。

あるいは、電流源回路を制御する回路（第1シフトレジスタ）として、図37～  
図39に示した回路を用いて、ランダムに電流源回路の設定動作を行うようにして  
もよい。そうすると、たとえ、設定動作を行える期間が、1フレーム期間内で点在  
しても、その期間を有効に利用して設定動作を行うことができる。また、すべての  
10 電流源回路の設定動作を1フレーム期間内でやるのでなく、数フレーム期間以上  
かけて実行してもよい。このようにすると、電流源回路の設定動作に時間をかけて  
より正確に行うことが出来る。

本発明では、電流源回路420を制御する第1シフトレジスタと、画像表示用回  
路を制御する第2シフトレジスタとを設けることで、第1及び第2シフトレジスタ  
15 の動作を完全に独立させて行っている。そして、入力動作を行うときには第2シフ  
トレジスタ、設定動作を行うときには第1シフトレジスタを用いて行っている。そ  
うすると、第2シフトレジスタを高速に動作させているときに、第1シフトレジス  
タを低速に動作させることができるために、電流源回路の設定動作を正確に行うこと  
が出来る。なお入力動作は、図1のドライバ部の構成と、図16（B）の構成の画  
20 素を有する場合には、画素部の走査線が選択される期間（アドレス期間Ta）に行  
えばよい。また、図49（B）の構成の画素を有する場合には、画素に配置された  
電流源回路に設定動作を行っていない間に、ドライバ部に配置された電流源回路  
の設定動作を行えばよい。

本実施例は、実施の形態1～8と任意に組み合わせることが可能である。

25 〈実施例2〉

本実施例では、画素部に設けられる画素の回路の構成例について図13、図53

を用いて説明する。

なお電流を入力する部分を含むような構成を有する画素であれば、どのような構成の画素にも適用できる。

図13 (A) の画素は、信号線1101、第1及び第2の走査線1102、1103、電流線（電源線）1104、スイッチング用TFT1105、保持用TFT1106、駆動用TFT1107、変換駆動用TFT1108、容量素子1109、発光素子1110とを有する。信号線1101は電流源回路1111に接続されている。

なお、電流源回路1111が、信号線駆動回路403に配置されている電流源回路420に相当する。

図13 (A) の画素は、スイッチング用TFT1105のゲート電極は、第1の走査線1102に接続され、第1の電極は信号線1101に接続され、第2の電極は駆動用TFT1107の第1の電極と、変換駆動用TFT1108の第1の電極とに接続されている。保持用TFT1106のゲート電極は、第2の走査線1103に接続され、第1の電極は信号線1102に接続され、第2の電極は駆動用TFT1107のゲート電極と、変換駆動用TFT1108のゲート電極とに接続されている。駆動用TFT1107の第2の電極は、電流線（電源線）1104に接続され、変換駆動用TFT1108の第2の電極は、発光素子1110の一方の電極に接続されている。容量素子1109は、変換駆動用TFT1108のゲート電極と第2の電極との間に接続され、変換駆動用TFT1108のゲート・ソース間電圧を保持する。電流線（電源線）1104および発光素子1110の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13 (A) の画素は、図33 (B) の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図13 (A) の駆動用TFT1107が図33 (B) のTFT126に相当し、図13 (A) の変換駆動用TFT1108が図33 (B) のTFT122に相

当し、図13（A）の保持用TFT1106が図33（B）のTFT124に相当する。

図13（B）の画素は、信号線1151、第1及び第2の走査線1142、1143、電流線（電源線）1144、スイッチング用TFT1145、保持用TFT5 1146、変換駆動用TFT1147、駆動用TFT1148、容量素子1149、発光素子1140とを有する。信号線1151は電流源回路1141に接続されている。

なお、電流源回路1141が、信号線駆動回路403に配置されている電流源回路420に相当する。

10 図13（B）の画素は、スイッチング用TFT1145のゲート電極は、第1の走査線1142に接続され、第1の電極は信号線1151に接続され、第2の電極は駆動用TFT1148の第1の電極と、変換駆動用TFT1148の第1の電極とに接続されている。保持用TFT1146のゲート電極は、第2の走査線1143に接続され、第1の電極は駆動用TFT1148の第1の電極に接続され、第2の電極は駆動用TFT1148のゲート電極と、変換駆動用TFT1147のゲート電極とに接続されている。変換駆動用TFT1147の第2の電極は、電流線（電源線）1144に接続され、変換駆動用TFT1147の第2の電極は、発光素子1140の一方の電極に接続されている。容量素子1149は、変換駆動用TFT1147のゲート電極と第2の電極との間に接続され、変換駆動用TFT1147のゲート・ソース間電圧を保持する。電流線（電源線）1144および発光素子1140の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13（B）の画素は、図6（B）の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図13（B）の変換駆動用TFT1147が図6（B）のTFT122に相当し、図13（B）の駆動用TFT1148が図6（B）のTFT126に相当し、図13（B）の保持用TFT1146が図6（B）のTFT124に相当する。

図13 (C) の画素は、信号線 1121、第1の走査線 1122、第2の走査線 1123、第3の走査線 1135、電流線（電源線） 1124、スイッチング用 TFT 1125、画素用電流線 1138、消去用 TFT 1126、駆動用 TFT 1127、容量素子 1128、電流源 TFT 1129、ミラー TFT 1130、容量素子 1131、電流入力 TFT 1132、保持 TFT 1133、発光素子 1136 を有する。画素用電流線 1138 は、電流源回路 1137 に接続される。

図13 (C) の画素は、スイッチング用 TFT 1125 のゲート電極は、第1の走査線 1122 に接続され、スイッチング用 TFT 1125 の第1の電極は信号線 1121 に接続され、スイッチング用 TFT 1125 の第2の電極は駆動用 TFT 1127 のゲート電極と、消去用 TFT 1126 の第1の電極とに接続されている。消去用 TFT 1126 のゲート電極は、第2の走査線 1123 に接続され、消去用 TFT 1126 の第2の電極は電流線（電源線） 1124 に接続されている。駆動用 TFT 1127 の第1の電極は発光素子 1136 の一方の電極に接続され、駆動用 TFT 1127 の第2の電極は電流源 TFT 1129 の第1の電極に接続されている。電流源 TFT 1129 の第2の電極は電流線 1124 に接続されている。容量素子 1131 の一方の電極は、電流源 TFT 1129 のゲート電極及びミラー TFT 1130 のゲート電極に接続され、他方の電極は電流線（電源線） 1124 に接続されている。ミラー TFT 1130 の第1の電極は電流線 1124 に接続され、ミラー TFT 1130 の第2の電極は、電流入力 TFT 1132 の第1の電極に接続されている。電流入力 TFT 1132 の第2の電極は電流線（電源線） 1124 に接続され、電流入力 TFT 1132 のゲート電極は第3の走査線 1135 に接続されている。電流保持 TFT 1133 のゲート電極は第3の走査線 1135 に接続され、電流保持 TFT 1133 の第1の電極は画素用電流線 1138 に接続され、電流保持 TFT 1133 の第2の電極は電流源 TFT 1129 のゲート電極及びミラー TFT 1130 のゲート電極に接続されている。電流線（電源線） 1124 および発光素子 1136 の他方の電極には、それぞれ所定の電位が入力され、互

いに電位差を有する。

ここで、電流源回路 1137 が、信号線駆動回路 403 に配置されている電流源回路 420 に相当する。

なお、図 13 (C) の画素は、図 49 (B) の画素に、図 6 (E) の回路を画素 5 に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。なお、図 13 (C) の画素には、消去用 TFT 1126 が追加されている。消去用 TFT 1126 により、点灯期間の長さを自由に制御できるようになる。

スイッチング用 TFT 1125 は画素に対するビデオ信号の供給を制御する役 10 割を担う。消去用 TFT 1126 は容量素子 1131 に保持された電荷を放電する役割を担う。駆動用 TFT 1127 は、容量素子 1131 に保持された電荷に応じて、導通又は非導通が制御される。電流源 TFT 1129 とミラー TFT 1130 はカレントミラー回路を形成する。電流線 1124 及び発光素子 1136 の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

つまり、スイッチング用 TFT 1125 がオンになると、信号線 1121 を通つて、ビデオ信号が画素に入力され、容量素子 1128 に保存される。そして、ビデオ信号の値により、駆動用 TFT 1127 がオン又はオフする。よって、駆動用 TFT 1127 がオンの場合は、発光素子に一定の電流がながれて、発光する。駆動用 TFT 1127 がオフの場合は、発光素子に電流が流れず、発光しない。このよう 20 にして、画像を表示する。

なお図 13 (C) の電流源回路は、電流源 TFT 1129、ミラー TFT 1130、容量素子 1131、電流入力 TFT 1132 及び保持 TFT 1133 により電流源回路を構成している。電流源回路は、一定の電流を流す能力を有している。この電流源回路には、画素用電流線 1138 を通って電流が入力され、設定動作が行 25 われる。そのため、電流源回路を構成するトランジスタの特性がばらついても、電流源回路から発光素子に供給される電流の大きさには、ばらつきが生じなくなる。

画素の電流源回路に対する設定動作は、スイッチング用 TFT1125 や駆動用 TFT1127 の動作とは、無関係に行うことができる。

図 53 (A) の画素は、図 49 (B) の画素に、図 6 (A) の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図 53 (A) の画素は、電流源 TFT1129、容量素子 1131、保持 TFT1133、画素用電流線 1138 (Ci) などを有している。画素用電流線 1138 (Ci) は、電流源回路 1137 に接続されている。なお、電流源回路 1137 が、信号線駆動回路 403 に配置されている電流源回路 420 に相当する。

図 53 (B) の画素は、図 49 (B) の画素に、図 7 (A) の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図 53 (B) の画素は、電流源 TFT1129、容量素子 1131、保持 TFT1133、画素用電流線 1138 (Ci) などを有している。画素用電流線 1138 (Ci) は、電流源回路 1137 に接続されている。なお、電流源回路 1137 が、信号線駆動回路 403 に配置されている電流源回路 420 に相当する。

図 53 (A) の画素と図 53 (B) の画素とでは、電流源 TFT1129 の極性が異なる。そして、極性が異なることにより、容量素子 1131、保持 TFT1133 の接続が異なっている。このように、さまざまな構成の画素が存在する。ところで、これまでに述べた画素は、大きく二つのタイプに分類できる。1つ目のタイプが、信号線にビデオ信号に応じた電流を入力するタイプである。これは、図 13 (A)、図 13 (B) などがそれに相当する。この場合、信号線駆動回路は、図 1 や図 2 のように、信号電流制御スイッチを有している。

そして、もう1つのタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ信号とは無関係な一定の電流を入力するタイプ、つまり、図 49 (B) のような画素の場合である。これは、図 13 (C)、図 53 (A)、図 53 (B) などが

それに相当する。この場合、信号線駆動回路は、図29や図30のように、信号電流制御スイッチを有していない。

次いで、各々の画素のタイプに応じた駆動方法について、タイミングチャートを用いて述べる。まず、デジタル階調と時間階調を組み合わせた場合について述べる。

- 5 ただし、これは、画素のタイプや信号線駆動回路の構成によって変わる。つまり、すでに述べたように、信号線駆動回路の電流源回路に対する設定動作が、入力動作と同時に行える場合には、信号線駆動回路の電流源回路に対する設定動作のタイミングは、特に限定されない。そこで、信号線駆動回路の電流源回路に対する設定動作と入力動作を同時に行えない場合の駆動方法について、タイミングチャートを用

10 いて述べる。

まず、画素のタイプが、信号線にビデオ信号に応じた電流を入力するタイプの場合について述べる。画素は、図13(A)又は図13(B)であるとする。信号線駆動回路は、図3(B)の構成であるとする。このときのタイミングチャートを図54に示す。

- 15 4ビットの階調を表現することとし、簡単のため、サブフレーム数を4つにしたとする。まず、最初のサブフレーム期間 SF1 が始まる。1行づつ走査線(図13(A))での第1の走査線1102や図13(B)での第1の走査線1132)を選択し、信号線(図13(A)での1101や図13(B)での1131)から電流を入力していく。この電流は、ビデオ信号に応じた値になっている。そして、点灯期間 T<sub>s1</sub>が終了すると、次のサブフレーム期間 SF2 が始まり、SF1 と同様に走査させる。その後、その次のサブフレーム期間 SF3 が始まり、同様に走査させていく。ただし、点灯期間の長さ T<sub>s3</sub>は、アドレス期間の長さ T<sub>a3</sub>よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。消去するためには、第2の走査線(図25 13(A)での第2の走査線1103や図13(B)での第2の走査線1133)を1行づつ選択していく。そうすると、ビデオ信号が消去され、発光素子を非発光

状態にすることができる。その後、次のサブフレーム SF4 が始まる。ここでも、SF3 と同様に走査させ、同様に非発光状態にしていく。

以上が、画像表示動作、つまり、画素の動作に関するタイミングチャートである。次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。ここで電流源回路では、設定動作と入力動作は、同時に行えないものであるとする。信号線駆動回路に配置された電流源回路の入力動作は、各サブフレーム期間におけるアドレス期間 ( $Ta1$ 、 $Ta2$  など) の間に行われる。したがって、信号線駆動回路に配置された電流源回路の設定動作は、アドレス期間以外の時に行えばよい。よって、図 5 4 に示すように、アドレス期間以外の時として、設定動作期間  $Tb1$ 、 $Tb2$  において、信号線駆動回路に配置された電流源回路の設定動作を行えばよい。なお、信号線駆動回路に配置された電流源回路の設定動作は、設定動作期間  $Tb1$ 、 $Tb2$  のどちらかの期間だけで行ってもよいし、両方の期間を利用して設定動作を行ってもよい。

つぎに、画素のタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ信号とは無関係な一定の電流を入力するタイプの場合について述べる。信号線駆動回路は、図 4 9 (A) の構成であるとする。画素は、図 1 3 (C)、図 4 9 (B)、図 5 3 (A)、図 5 3 (B) などであるとする。ただし、この画素構成の場合、画素の電流源回路に対しても、設定動作を行う必要がある。そのため、画素の電流源回路の設定動作と入力動作とを同時にできるかどうかによって、駆動方法、つまりタイミングチャートが異なってくる。まず、画素の電流源回路の設定動作と入力動作とを同時にできる場合、つまり、画素が図 1 3 (C) のときの駆動方法を図 5 5 のタイミングチャートに示す。

まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作について述べる。ただし、図 5 4 の場合とほとんど同様なため、簡単に述べる。

まず、最初のサブフレーム期間 SF1 が始まる。1 行づつ走査線 (図 1 3 (C) で

の第1の走査線1122)を選択し、信号線(図13(C)での1121)からビデオ信号を入力していく。このビデオ信号は、通常、電圧であるが、電流でもかまわない。そして、点灯期間 $T_{s1}$ が終了すると、次のサブフレーム期間SF2が始まり、SF1と同様に走査させる。その後、その次のサブフレーム期間SF3が始まり、5 同様に走査させていく。ただし、点灯期間の長さ $T_{s3}$ が、アドレス期間の長さ $T_{a3}$ よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。消去するためには、第2の走査線(図13(C)での第2の走査線1123)を1行づつ選択していく。すると、ビデオ信号が消去され、駆動用TFT1127がオフ状態になり、非発光状態にすることができる。その後、次のサブフレーム期間SF4が始まる。ここでも、サブフレーム期間SF3と同様に走査させ、同様に非発光状態にしていく。

次に、画素の電流源回路に対する設定動作について述べる。図13(C)に示す電流源回路の場合、画素の電流源回路の設定動作と入力動作とは、同時にを行うこと15 ができる。したがって、画素の電流源回路の設定動作は、いつ行ってもよく、つまり、任意のタイミングで行えばよい。

また信号線駆動回路に配置された電流源回路の設定動作は、画素の電流源回路の設定動作を行っている期間以外の時に行えばよい。つまり、例えば、1フレーム期間を第1及び第2設定動作期間に大別し、第1設定動作期間において画素の電流源回路の設定動作を行い、第2設定動作期間において信号線駆動回路の電流源回路の設定動作を行えばよい。

以上のことから、画素の電流源回路に対する設定動作と信号線駆動回路の電流源回路の設定動作は、双方を同時に行えないという点のみ注意すれば、いつ行ってもよい。つまり、ある期間において、画素の電流源回路に対する設定動作を行い、別の期間において、信号線駆動回路の電流源回路の設定動作を行えばよい。ここで、25 画素の電流源回路に対する設定動作は、いつ行ってもよい。そこで、図55には、

サブフレーム期間 SF1 に画素の電流源回路に対する設定動作を行い、それ以外の期間に信号線駆動回路に配置された電流源回路の設定動作を行った場合の駆動方法について、タイミングチャートに示す。

次に、画素のタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ  
5 信号とは無関係な一定の電流を入力するタイプであり、かつ、画素の電流源回路の設定動作と入力動作とを同時にできない場合、つまり、画素が図 5 3 (A)、図 5 3 (B) のときの駆動方法についてのタイミングチャートを図 5 6 に示す。

まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作は、図 5 5 の場合とほとんど同様なため、簡単に述べる。  
10 まず、最初のサブフレーム期間 SF1 が始まる。1 行づつ走査線（図 5 3 (A)、図 5 3 (B) での第 1 の走査線 1 1 2 2）を選択し、信号線（図 5 3 (A)、図 5 3 (B) での 1 1 2 1）からビデオ信号を入力していく。このビデオ信号は、通常、電圧であるが、電流でもかまわない。そして、点灯期間  $T_{s1}$  が終了すると、次のサブフレーム期間 SF2 が始まり、サブフレーム期間 SF1 と同様に走査させる。その後、その次のサブフレーム期間 SF3 が始まり、同様に走査させていく。ただし、  
15 点灯期間の長さ  $T_{s3}$  が、アドレス期間の長さ  $T_{a3}$  よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。発光素子に電流が流れないようにするためにには、第 2 の走査線（図 1 3 (C) での第 2 の走査線 1 1 2 3）を 1 行づつ非選択  
20 状態にしていく。すると、消去用 TFT 1 1 2 7 がオフ状態になり、電流の流れる経路が遮断され、非発光状態にすることができる。その後、次のサブフレーム SF4 が始まる。ここでも、SF3 と同様に走査させ、同様に非発光状態にしていく。

次に、画素の電流源回路に対する設定動作に関して述べる。図 5 3 (A)、図 5 3 (B) の場合、画素の電流源回路の設定動作と入力動作とは、同時に行うことが  
25 できない。したがって、画素の電流源回路の設定動作は、画素の電流源回路が入力動作を行っていない時、つまり、発光素子に電流が流れていないときに行えばよい。

信号線駆動回路の電流源回路の設定動作は、画素の電流源回路の設定動作を行っている期間以外の時に行えばよい。つまり、例えば、1フレーム期間を第1及び第2設定動作期間に大別し、第1設定動作期間において画素の電流源回路の設定動作を行い、第2設定動作期間において信号線駆動回路の電流源回路の設定動作を行え  
5 ばよい。

以上のことから、画素の電流源回路に対する設定動作は、非点灯期間( $Td3, Td4$ )に行い、信号線駆動回路の電流源回路の設定動作は、それ以外の時に行えばよい。そこで、図5 6には、SF3とSF4の非点灯期間( $Td3, Td4$ )に画素の電流源回路に対する設定動作を行い、それ以外の時に信号線駆動回路の電流源回路の設定動作  
10 行った場合の駆動方法についてタイミングチャートを用いて説明する。

なお、画素の電流源回路に対する設定動作が、非点灯期間だけでは、設定動作を行う期間が少ない場合がある。つまり、長い時間をかけて画素の電流源回路に対する設定動作を行い、充分に正確な設定動作を行いたい場合、設定動作を行う期間をもっと多くした場合がある。そのようなときは、図9のように、各アドレス期間の  
15 前に、強制的に非点灯期間を設け、そこで、画素の電流源回路に対する設定動作を行ってもよい。

これまででは、デジタル階調と時間階調を組み合わせた場合における、駆動方法についてタイミングチャートを用いて述べてきた。つぎに、アナログ階調の場合の駆動方法についてタイミングチャートを用いて述べる。ここでも、信号線駆動回路の  
20 電流源回路に対する設定動作と入力動作とを同時に行えない場合の駆動方法についてタイミングチャートを用いて述べる。

まず、画素は、図1 3 (A) もしくは図1 3 (B) であるとする。信号線駆動回路は、図5 もしくは図4 4 の構成であるとする。このときの駆動方法について図1  
0 のタイミングチャートを用いて述べる。

25 1行づつ走査線(図1 3 (A) での第1の走査線1 1 0 2や図1 3 (B) での第1の走査線1 1 3 2)を選択し、信号線(図1 3 (A) での1 1 0 1や図1 3 (B)

での 1131) から電流を入力していく。この電流は、ビデオ信号に応じた値になっている。これを、1 フレーム期間かけて行う。

以上が、画像表示動作、つまり、画素の動作に関する駆動方法である。次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。ここでの電流源回路は、設定動作と入力動作とは、同時に行えないものとしている。信号線駆動回路の電流源回路の入力動作は、通常は、1 フレーム期間かけて行われる。よって、このままでは、信号線駆動回路の電流源回路の設定動作を行えない。そこで、図 10 に示すように、各走査線が選択されている期間（ゲート選択期間、水平走査期間）において、最初の期間のみに、信号線駆動回路に配置された電流源回路の入力動作を停止して設定動作を行うようとする。つまり、各水平走査期間に、設定動作期間  $T_{b}$  を配置する。なお、その期間は、帰線期間と一致させてもよい。

あるいは、図 11 に示すように、信号線駆動回路の電流源回路の入力動作（ビデオ信号の入力動作）は、1 フレーム期間のうちの何割かの期間で行い、残りの期間で、信号線駆動回路の電流源回路の設定動作を行ってもよい。つまり、1 フレーム期間は、複数の水平走査期間と設定動作期間とを有する。

なお、信号線駆動回路の電流源回路の設定動作を行う場合、電流が漏れたり、別の電流が入ってきたりすることが無い状態で行う必要がある。もし、電流が漏れたり、別の電流が入ってきたりしたら、その状態で、電流源回路の設定動作を行うことになる。そうなると、正確な値で設定動作が行えないことになる。よって、図 24 におけるトランジスタ 182、図 45 におけるトランジスタ A、B、C などは、信号線駆動回路の電流源回路の設定動作を行う前には、オフ状態にしておく必要がある。ただし、図 46 のようにスイッチ 203 が配置されており、電流が漏れたり、別の電流が入ってきたりすることが無い場合には、考慮する必要はない。

本実施例は、実施の形態 1～8、実施例 1 と任意に組み合わせることが可能である。

### 〈実施例3〉

本実施例では、カラー表示を行う場合の工夫について述べる。

発光素子が有機EL素子である場合、発光素子に同じ大きさの電流を流しても、色によって、その輝度が異なる場合がある。また、発光素子が経時的な要因などにより劣化した場合、その劣化の度合いは、色によって異なる。そのため、発光素子を用いた発光装置において、カラー表示を行う際には、そのホワイトバランスを調節するためにさまざまな工夫が必要である。

最も単純な手法は、画素に入力する電流の大きさを色によって変えることである。

そのためには、リファレンス信号用定電流源の電流の大きさを色によって変えればよい。

その他の手法としては、画素、信号線駆動回路、リファレンス用定電流源などにおいて、図6(C)～図6(E)のような回路を用いることである。そして、図6(C)～図6(E)のような回路において、カレントミラー回路を構成する2つのトランジスタのW/Lの比率を色によって変える。これにより、画素に入力する電流の大きさが色によって変えることができる。

さらに他の手法としては、点灯期間の長さを色によって変えることである。これは、時間階調方式を用いている場合、また用いていない場合のどちらの場合にも適用できる。本手法により、各画素の輝度を調節することができる。

以上のような手法を用いることにより、あるいは、組み合わせて用いることにより、ホワイトバランスを容易に調節することができる。

本実施例は、実施の形態1～8、実施例1、2と任意に組み合わせることが可能である。

### 〈実施例4〉

本実施例では、本発明の発光装置（半導体装置）の外観について、図12を用いて説明する。図12は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図12(B)は、図

12 (A) の A-A' における断面図、図 12 (C) は図 12 (A) の B-B' における断面図である。

基板 4001 上に設けられた画素部 4002 と、ソース信号線駆動回路 4003 と、ゲート信号線駆動回路 4004a、b を囲むようにして、シール材 4009 が設けられている。また画素部 4002 と、ソース信号線駆動回路 4003 と、ゲート信号線駆動回路 4004a、b の上にシーリング材 4008 が設けられている。よって画素部 4002 と、ソース信号線駆動回路 4003 と、ゲート信号線駆動回路 4004a、b とは、基板 4001 とシール材 4009 とシーリング材 4008 とによって、充填材 4210 で密封されている。

10 また基板 4001 上に設けられた画素部 4002 と、ソース信号線駆動回路 4003 と、ゲート信号線駆動回路 4004a、b とは、複数の TFT を有している。図 12 (B) では代表的に、下地膜 4010 上に形成された、ソース信号線駆動回路 4003 に含まれる駆動 TFT (但し、ここでは n チャネル型 TFT と p チャネル型 TFT を図示) 4201 及び画素部 4002 に含まれる消去用 TFT 4202 15 を図示した。

本実施例では、駆動 TFT 4201 には公知の方法で作製された p チャネル型 TFT または n チャネル型 TFT が用いられ、消去用 TFT 4202 には公知の方法で作製された n チャネル型 TFT が用いられる。

駆動 TFT 4201 及び消去用 TFT 4202 上には層間絶縁膜 (平坦化膜) 4301 が形成され、その上に消去用 TFT 4202 のドレインと電気的に接続する画素電極 (陽極) 4203 が形成される。画素電極 4203 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したもの 25 のを用いても良い。

そして、画素電極 4203 の上には絶縁膜 4302 が形成され、絶縁膜 4302

は画素電極 4203 の上に開口部が形成されている。この開口部において、画素電極 4203 の上には発光層 4204 が形成される。発光層 4204 は公知の発光材料または無機発光材料を用いることができる。また、発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

5 発光層 4204 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、発光層 4204 の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を任意に組み合わせて積層構造または単層構造とすれば良い。

発光層 4204 の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極 4205 が形成される。また、陰極 4205 と発光層 4204 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、発光層 4204 を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極 4205 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターチャンバー方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極 15 4205 は所定の電圧が与えられている。

以上のようにして、画素電極（陽極）4203、発光層 4204 及び陰極 4205 からなる発光素子 4303 が形成される。そして発光素子 4303 を覆うように、絶縁膜上に保護膜が形成されている。保護膜は、発光素子 4303 に酸素や水分等が入り込むのを防ぐのに効果的である。

20 4005a は電源線に接続された引き回し配線であり、消去用 TFT 4202 のソース領域に電気的に接続されている。引き回し配線 4005a はシール材 4009 と基板 4001 との間を通り、異方導電性フィルム 4300 を介して FPC 4006 が有する FPC 用配線 4301 に電気的に接続される。

シーリング材 4008 としては、ガラス材、金属材（代表的にはステンレス材）、  
25 セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP (Fiberglass-Reinforced

c ed Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

- 5 但し、発光層からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

- また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、  
10 アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。本実施例では充填材として窒素を用いた。

- また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面  
15 に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないよう、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物  
20 質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

図12 (C) に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

- また、異方導電性フィルム4300は導電性フィラー4300aを有している。  
25 基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー43

00aによって電気的に接続される。

本実施例は、実施の形態1～8、実施例1～4と任意に組み合わせることが可能である。

〈実施例5〉

5 発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、

10 音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携  
15 帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図22に示す。

図22（A）は発光装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。また本発明により、図22（A）に示す

20 発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、廣告表示用などの全ての情報表示用表示装置が含まれる。

図22（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。また本発明により、図22（B）に示すデジタルスチルカメラが完成される。

図22 (C) はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。また本発明により、図22 (C) に示す発光装置が完成される。

5 図22 (D) はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。また本発明により、図22 (D) に示すモバイルコンピュータが完成される。

図22 (E) は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカ一部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図22 (E) に示すDVD再生装置が完成される。

図22 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。また本発明により、図22 (F) に示すゴーグル型ディスプレイが完成される。

図22 (G) はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明の発光装置は表示部2602に用いることができる。また本発明により、図22 (G) に示すビデオカメラが完成される。

ここで図22 (H) は携帯電話であり、本体2701、筐体2702、表示部2

703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図22  
5 (H) に示す携帯電話が完成される。

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子  
10 通信回線を通じて配信された情報を表示するが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、実施の形態1～8、実施例1～4  
20 に示したいずれの構成の発光装置を用いても良い。

上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

本発明は、2つのシフトレジスタ（第1及び第2シフトレジスタ）を設けた信号線駆動回路を提供する。この第1及び第2シフトレジスタは、一方は電流源回路、  
25 他方はビデオ信号を制御するための回路、つまり画像を表示するために動作させる回路であり、例えばラッチ回路やサンプリングスイッチやスイッチ101（信号電

流制御スイッチ)などを制御する。そうすると、第1及び第2シフトレジスタの動作を独立に行うことが可能となり、必然的に電流源回路の設定動作と画像表示動作とを独立に行うことが可能となる。電流源回路の設定動作は、時間をかけて行う方が正確に行えるため、電流源回路とラッチ回路とを独立に動作させることが出来る  
5 本発明の構成は大変有効である。

なおシフトレジスタはフリップフロップ回路やデコーダ回路等の回路により構成される。シフトレジスタがフリップフロップ回路により構成される場合には、通常複数の配線は1列目から最終列目まで順に選択される。一方、シフトレジスタがデコーダ回路などにより構成される場合には、複数の配線はランダムに選択することが可能となる。複数の配線をランダムに選択できると、設定信号もランダムに出力できるようになる。従って、電流源回路の設定動作も、1列目から順に行うのではなく、ランダムに行うことができるようになる。電流源回路の設定動作をランダムに行うことができると、様々な利点が生じる。例えば、電流源回路の設定動作は、  
10 1列目から順に行うのではなく、ランダムに行うことができると、設定動作を行う  
15 時間の長さは、自由に長くとれるようになる。また、設定動作を行うことができる期間が、1フレーム中に点在している場合は、任意の列をランダムに選択できると、自由度が上がり、設定動作の期間を長くとることができるようにになる。そのほかの利点としては、電流源回路内に配置された容量素子における電荷の漏れの影響を目立たなくさせることができるようにになる。このように、設定動作に伴う不具合があ  
20 った場合、その不具合を目立たなくさせることができるようにになる。

## 請 求 の 範 囲

1. 第1の電流を電圧に変換する手段と、  
変換された前記電圧を保持する手段と、
- 5 保持された前記電圧を第2の電流に変換する手段と、  
デジタルの映像信号によって、前記第2の電流を信号線もしくは画素に流す手段と、  
を有する電流源回路を含むことを特徴とする信号線駆動回路。
2. 第1の電流を電圧に変換する手段と、  
変換された前記電圧を保持する手段と、
- 10 保持された前記電圧を第2の電流に変換し、前記第2の電流を電流線もしくは画素  
に  
流す手段と、  
を有する電流源回路を含むことを特徴とする信号線駆動回路。
3. 第1の電流を電圧に変換する手段と、
- 15 変換された前記電圧を保持する手段と、  
保持された前記電圧を第2の電流に変換し、前記第2の電流を電流線もしくは画素  
に  
流す手段と、を有する電流源回路を含み、  
デジタルの映像信号を信号線もしくは画素に供給する手段を含むことを特徴とす
- 20 る信号線駆動回路。
4. 第1の電流を電圧に変換する手段と、  
変換された前記電圧を保持する手段と、  
保持された前記電圧を第2の電流に変換する手段と、  
前記第2の電流を電流線もしくは画素に流す手段と、
- 25 を有する電流源回路を含むことを特徴とする信号線駆動回路。
5. 第1の電流を電圧に変換する手段と、

変換された前記電圧を保持する手段と、

保持された前記電圧を第2の電流に変換する手段と、

前記第2の電流を電流線もしくは画素に流す手段と、

を有する電流源回路を含み、

- 5 デジタルの映像信号を信号線もしくは画素に供給する手段を含むことを特徴とする信号線駆動回路。

6. 第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、

前記複数の電流源回路の各々は、容量手段と供給手段を有し、

- 10 前記容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、前記供給手段は、ビデオ信号に従って、前記変換された電圧に応じた電流を供給し、

前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルスに従って動作することを特徴とする信号線駆動回路。

- 15 7. 第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の各々に対応した第1及び第2電流源回路を有する信号線駆動回路であって、

前記第1及び前記第2電流源回路の各々は、容量手段と供給手段を有し、

前記第1及び前記第2電流源回路の一方が有する前記容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に

- 20 変換し、他方の電流源回路が有する前記供給手段は、ビデオ信号に従って前記変換された電圧に応じた電流を供給し、

前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルスに従って動作することを特徴とする信号線駆動回路。

8. 第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の各々に対応したn個の電流源回路（nは2以上の自然数）を有する信号線駆動回路であって、  
前記n個の電流源回路の各々は、容量手段と供給手段を有し、

前記n個の電流源回路が有する前記容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、前記供給手段はビデオ信号に従って前記変換された電圧に応じた電流を供給し、

- 前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルス  
5 に従って動作することを特徴とする信号線駆動回路。

9. 請求項6乃至請求項8のいずれか一項に記載の前記信号線駆動回路は、m個のリファレンス用定電流源を有し、

前記m個のリファレンス用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^m$ に設定されることを特徴とする信号線駆動回路。

- 10 10. 請求項6乃至請求項8のいずれか一項において、

前記m個のリファレンス用定電流源は、互いに異なるビットに対応することを特徴とする信号線駆動回路。

11. 請求項6乃至請求項8のいずれか一項において、

- 前記第1シフトレジスタから供給されるサンプリングパルスは、複数列に同時に  
15 出力されることを特徴とする信号線駆動回路。

12. 請求項6乃至請求項8のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする信号線駆動回路。

13. 請求項6乃至請求項8のいずれか一項において、

- 20 前記第1及び前記第2シフトレジスタはフリップフロップ回路のみで構成され、前記複数の配線を順に選択することを特徴とする信号線駆動回路。

14. 請求項6乃至請求項8のいずれか一項において、

前記第1又は前記第2シフトレジスタはデコーダ回路で構成され、前記複数の配線をランダムに選択することを特徴とする信号線駆動回路。

- 25 15. 請求項6乃至請求項8のいずれか一項において、

前記第1又は前記第2シフトレジスタはフリップフロップ回路、列選択信号が入

力される第1ラッチ及び選択制御信号が入力される論理演算子で構成され、前記複数の配線をランダムに選択することを特徴とする信号線駆動回路。

16. 請求項6乃至請求項8のいずれか一項において、

前記第1又は前記第2シフトレジスタはフリップフロップ回路、列選択信号が入

5 力される第1ラッチ及び選択用ラッチ信号が入力される第2ラッチで構成され、前記複数の配線をランダムに選択することを特徴とする信号線駆動回路。

17. 請求項6乃至請求項8のいずれか一項において、

前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡

された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する

10 電圧を保持することを特徴とする信号線駆動回路。

18. 請求項6乃至請求項8のいずれか一項において、

前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第1スイッチと、リファレンス用定電流源と前記トランジスタのゲートの導通を制御する第2スイッチと、前記トランジスタのドレインと画素の導通を制

15 御する第3スイッチとを有することを特徴とする信号線駆動回路。

19. 請求項6乃至請求項8のいずれか一項において、

前記容量手段は、前記供給手段が有する第1及び第2トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第1又は前記第2トランジスタのゲート・ソース間に発生する電圧を保持することを特徴と

20 する信号線駆動回路。

20. 請求項6乃至請求項8のいずれか一項において、

前記供給手段は、第1及び第2トランジスタで構成されるカレントミラー回路と、前記第1及び前記第2トランジスタのゲートとソースの導通を制御する第1スイッチと、リファレンス用定電流源と前記第1及び前記第2トランジスタのゲートの導通を制御する第2スイッチを有することを特徴とする信号線駆動回路。

21. 請求項6乃至請求項8のいずれか一項において、

前記容量手段は、前記供給手段が有する第1及び第2トランジスタの一方のドレンとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

22. 請求項6乃至請求項8のいずれか一項において、

- 5 前記供給手段は、第1及び第2のトランジスタを含むカレントミラー回路と、リファレンス用定電流源と前記第1トランジスタのドレンとの導通を制御する第1スイッチと、

前記第1トランジスタのドレンとゲート、前記第1トランジスタのゲートと前記第2トランジスタのゲート、前記第1及び前記第2トランジスタのゲートと前記10リファレンス用定電流源から選択されたいずれか1つの導通を制御する第2スイッチとを有することを特徴とする信号線駆動回路。

23. 請求項20乃至請求項22のいずれか一項において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

- 15 24. 請求項20乃至請求項22のいずれか一項において、

前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

25. 請求項6乃至請求項8のいずれか一項において、

前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する20第1及び第2スイッチと、前記トランジスタのゲートとドレンの導通を制御する第3スイッチを有し、

前記トランジスタのゲートは前記第1スイッチに接続され、前記トランジスタのソースは前記第2スイッチに接続され、前記トランジスタのドレンは前記第3スイッチに接続されることを特徴とする信号線駆動回路。

- 25 26. 請求項6乃至請求項8のいずれか一項において、

前記供給手段は、a個のトランジスタを含むカレントミラー回路(aは2以上の

自然数) を有し、

前記 a 個のトランジスタのゲート幅/ゲート長は  $2^0 : 2^1 : \dots : 2^a$  に設定され、

前記 a 個のトランジスタのドレイン電流は  $2^0 : 2^1 : \dots : 2^a$  に設定される

5 ことを特徴とする信号線駆動回路。

27. 請求項 6 乃至請求項 8 のいずれか一項において、

前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

28. 請求項 6 乃至請求項 8 のいずれか一項において、

10 前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

29. 請求項 6 乃至請求項 8 のいずれか一項において、

前記第 1 及び前記第 2 シフトレジスタは、異なる周波数で動作することを特徴とする信号線駆動回路。

15 30. 請求項 1 乃至請求項 29 のいずれか一項に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする発光装置。

31. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された

20 画素部と、

前記複数の配線の各々に対応した複数の電流源回路並びに第 1 及び第 2 シフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び駆動用トランジスタ、並びに前記駆動用トランジスタのゲート・ソース間電圧を保持する容量素子を有する発光装置の駆動

25 方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々は点灯期間及びアドレス期間を有し、

前記点灯期間において、前記電流源回路が有する容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

- 5 前記アドレス期間において、前記電流源回路が有する供給手段は、前記変換された電圧に応じた電流を供給することを特徴とする発光装置の駆動方法。

32. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の第1電流源回路並びに第1及び第2シ

- 10 フトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子と前記第2電流源回路の導通を制御するスイッチを有する発光装置の駆動方法であつて、

1フレーム期間は、第1及び第2設定動作期間を有し、

- 15 前記第1設定動作期間において、前記第1電流源回路が有する容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

前記第2設定動作期間において、前記第2電流源回路が有する容量手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

- 20 33. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路並びに第1及び第2シフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であつて、

- 25 1フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定動作期間を有し、

前記設定動作期間において、前記複数の電流源回路の各々が有する容量手段は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

- 3 4. 複数の配線及び複数の画素がマトリクス状に配置された画素部と、  
5 前記複数の配線の各々に対応した複数の電流源回路並びに第1及び第2シフトレジスタを有する信号線駆動回路が設けられ、  
前記複数の画素の各々は発光素子を有する発光装置の駆動方法であつて、  
1 フレーム期間は複数の水平走査期間と設定動作期間を有し、  
前記設定動作期間において、前記複数の電流源回路の各々が有する容量手段は、  
10 前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。  
3 5. 請求項3 1乃至請求項3 4のいずれか一項において、  
前記第1及び前記第2シフトレジスタは、異なる周波数で動作することを特徴とする発光装置の駆動方法。  
15 3 6. 請求項3 1乃至請求項3 4のいずれか一項において、  
前記画素部は線順次駆動又は点順次駆動を行うことを特徴とする発光装置の駆動方法。  
3 7. 請求項3 1乃至請求項3 4のいずれか一項において、  
前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする発光  
20 装置の駆動方法。

## 補正書の請求の範囲

補正書の請求の範囲 [2003年3月31日(31.03.03) 国際事務局受理：出願当初の請求の範囲6—9、26及び31—34は補正された；他の請求の範囲は変更なし。(7頁)]

変換された前記電圧を保持する手段と、

保持された前記電圧を第2の電流に変換する手段と、

前記第2の電流を電流線もしくは画素に流す手段と、

を有する電流源回路を含み、

5 デジタルの映像信号を信号線もしくは画素に供給する手段を含むことを特徴とする信号線駆動回路。

6. (補正後) 第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、

前記複数の電流源回路の各々は、容量手段と供給手段を有し、更に、前記第1シ  
10 フトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧  
に変換する手段を有し、

前記容量手段は変換された電圧を保持し、前記供給手段は、ビデオ信号に従って、  
前記変換された電圧に応じた電流を供給し、

前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルス  
15 に従って動作することを特徴とする信号線駆動回路。

7. (補正後) 第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の各々に対応した第1及び第2電流源回路を有する信号線駆動回路であって、

前記第1及び前記第2電流源回路の各々は、容量手段と供給手段を有し、更に、  
前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された  
20 電流を電圧に変換する手段を有し、

前記第1及び前記第2電流源回路の一方が有する前記容量手段は変換された電  
圧を保持し、他方の電流源回路が有する前記供給手段は、ビデオ信号に従って前記  
変換された電圧に応じた電流を供給し、

前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルス  
25 に従って動作することを特徴とする信号線駆動回路。

8. (補正後) 第1及び第2シフトレジスタ、並びにラッチ回路及び複数の配線の  
補正された用紙(条約第19条)

各々に対応したn個の電流源回路（nは2以上の自然数）を有する信号線駆動回路であって、

前記n個の電流源回路の各々は、容量手段と供給手段を有し、更に、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧

5 に変換する手段を有し、

前記n個の電流源回路が有する前記容量手段は変換された電圧を保持し、前記供給手段はビデオ信号に従って前記変換された電圧に応じた電流を供給し、

前記ラッチ回路は、前記第2シフトレジスタから供給されるサンプリングパルスに従って動作することを特徴とする信号線駆動回路。

10 9. (補正後) 請求項6乃至請求項8のいずれか一項に記載の前記信号線駆動回路は、m個のリファレンス用定電流源を有し、

前記m個のリファレンス用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^{m-1}$ に設定されることを特徴とする信号線駆動回路。

10. 請求項6乃至請求項8のいずれか一項において、

15 前記m個のリファレンス用定電流源は、互いに異なるビットに対応することを特徴とする信号線駆動回路。

11. 請求項6乃至請求項8のいずれか一項において、

前記第1シフトレジスタから供給されるサンプリングパルスは、複数列に同時に出力されることを特徴とする信号線駆動回路。

20 12. 請求項6乃至請求項8のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする信号線駆動回路。

13. 請求項6乃至請求項8のいずれか一項において、

前記第1及び前記第2シフトレジスタはフリップフロップ回路のみで構成され、

25 前記複数の配線を順に選択することを特徴とする信号線駆動回路。

14. 請求項6乃至請求項8のいずれか一項において、

前記第1又は前記第2シフトレジスタはデコーダ回路で構成され、前記複数の配線をランダムに選択することを特徴とする信号線駆動回路。

15. 請求項6乃至請求項8のいずれか一項において、

前記第1又は前記第2シフトレジスタはフリップフロップ回路、列選択信号が入

前記容量手段は、前記供給手段が有する第1及び第2トランジスタの一方のドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

22. 請求項6乃至請求項8のいずれか一項において、

- 5 前記供給手段は、第1及び第2のトランジスタを含むカレントミラー回路と、リファレンス用定電流源と前記第1トランジスタのドレインとの導通を制御する第1スイッチと、

前記第1トランジスタのドレインとゲート、前記第1トランジスタのゲートと前記第2トランジスタのゲート、前記第1及び前記第2トランジスタのゲートと前記10リファレンス用定電流源から選択されたいずれか1つの導通を制御する第2スイッチとを有することを特徴とする信号線駆動回路。

23. 請求項20乃至請求項22のいずれか一項において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

- 15 24. 請求項20乃至請求項22のいずれか一項において、

前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

25. 請求項6乃至請求項8のいずれか一項において、

前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する第1及び第2スイッチと、前記トランジスタのゲートとドレインの導通を制御する第3スイッチを有し、

前記トランジスタのゲートは前記第1スイッチに接続され、前記トランジスタのソースは前記第2スイッチに接続され、前記トランジスタのドレインは前記第3スイッチに接続されることを特徴とする信号線駆動回路。

- 25 26.（補正後） 請求項6乃至請求項8のいずれか一項において、

前記供給手段は、a個のトランジスタを含むカレントミラー回路（aは2以上の

自然数) を有し、

前記  $a$  個のトランジスタのゲート幅/ゲート長は  $2^0 : 2^1 : \dots : 2^{a-1}$  に設定され、

前記  $a$  個のトランジスタのドレイン電流は  $2^0 : 2^1 : \dots : 2^{a-1}$  に設定され

5 ることを特徴とする信号線駆動回路。

27. 請求項 6 乃至請求項 8 のいずれか一項において、

前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

28. 請求項 6 乃至請求項 8 のいずれか一項において、

10 前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

29. 請求項 6 乃至請求項 8 のいずれか一項において、

前記第 1 及び前記第 2 シフトレジスタは、異なる周波数で動作することを特徴とする信号線駆動回路。

15 30. 請求項 1 乃至請求項 29 のいずれか一項に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする発光装置。

31. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に

20 配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路並びに第 1 及び第 2 シフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び駆動用トランジスタ、並びに前記駆動用トランジスタのゲート・ソース間電圧を保持する容量素子を有する発光装置の駆動

25 方法であつて、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々は点灯期間及びアドレス期間を有し、

前記点灯期間において、前記電流源回路は、前記第1シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

前記アドレス期間において、前記電流源回路が有する供給手段は、前記変換され

- 5 た電圧に応じた電流を供給することを特徴とする発光装置の駆動方法。

32. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の第1電流源回路並びに第1及び第2シ

フトレジスタを有する信号線駆動回路が設けられ、

- 10 前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子と前記第2電流源回路の導通を制御するスイッチを有する発光装置の駆動方法であつて、

1フレーム期間は、第1及び第2設定動作期間を有し、

前記第1設定動作期間において、前記第1電流源回路は、前記第1シフトレジス

- 15 タから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、前記第1電流源回路が有する容量手段は前記変換された電圧を保持し、

前記第2設定動作期間において、前記第2電流源回路は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

33. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路並びに第1及び第2シフト

レジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は発光素子を有する発光装置の駆動方法であつて、

1フレーム期間は複数の水平走査期間を有し、

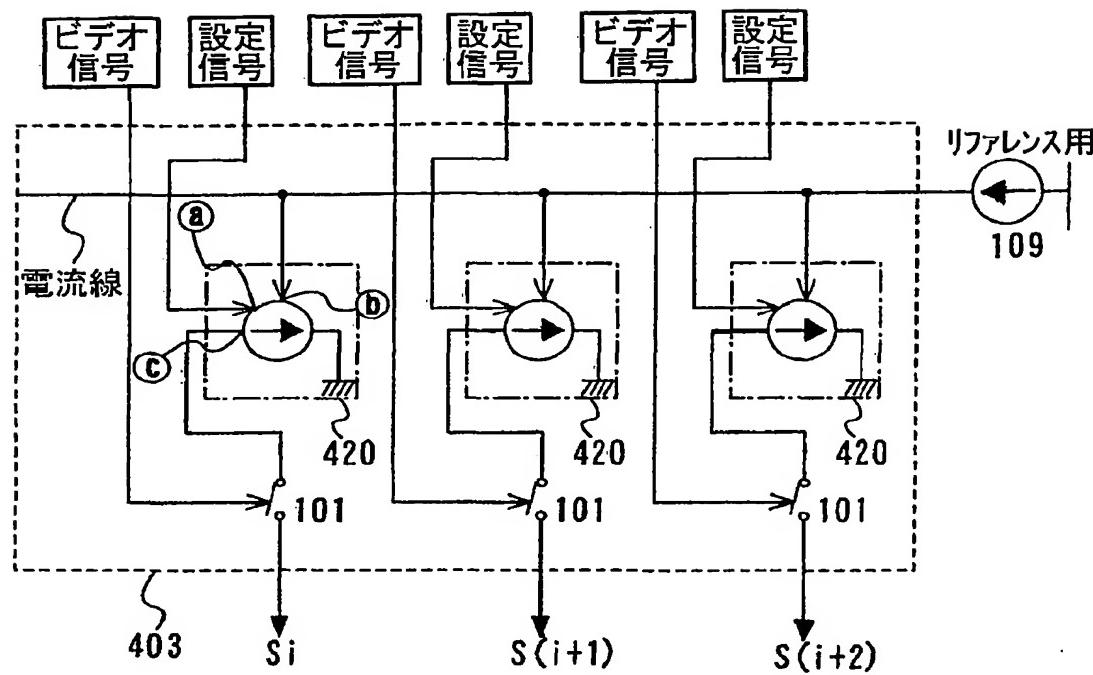
- 25 前記複数の水平走査期間の各々は、設定動作期間を有し、

前記設定動作期間において、前記複数の電流源回路の各々は、前記第1シフトレ

ジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、前記複数の電流源回路の各々が有する容量手段は前記変換された電圧を保持することを特徴とする発光装置の駆動方法。

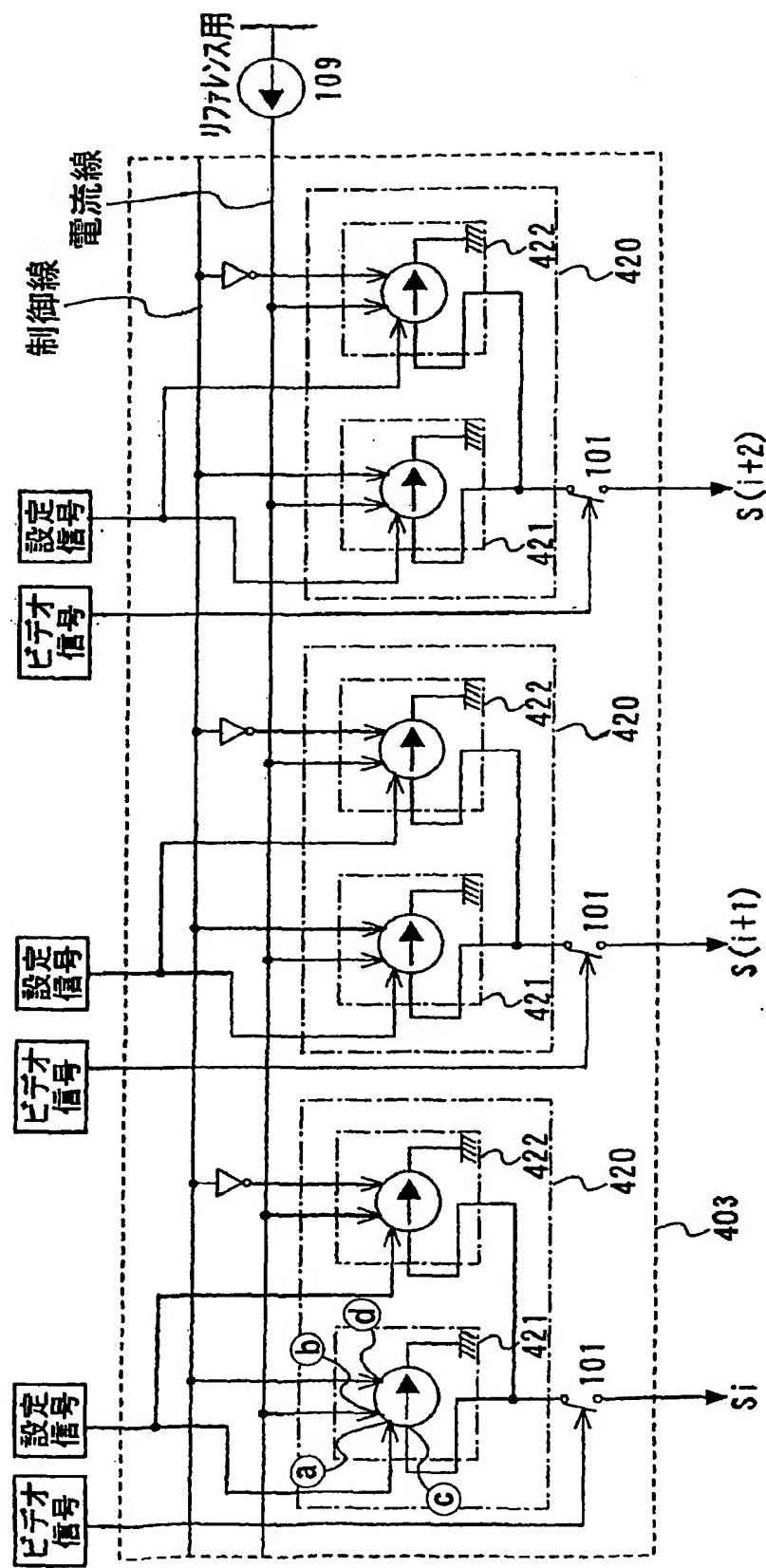
- 3 4. (補正後) 複数の配線及び複数の画素がマトリクス状に配置された画素部と、  
5 前記複数の配線の各々に対応した複数の電流源回路並びに第1及び第2シフトレジスタを有する信号線駆動回路が設けられ、  
前記複数の画素の各々は発光素子を有する発光装置の駆動方法であって、  
1 フレーム期間は複数の水平走査期間と設定動作期間を有し、  
前記設定動作期間において、前記複数の電流源回路の各々は、前記第1シフトレ  
10 ジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。
- 3 5. 請求項3 1乃至請求項3 4のいずれか一項において、  
前記第1及び前記第2シフトレジスタは、異なる周波数で動作することを特徴とする発光装置の駆動方法。
- 15 3 6. 請求項3 1乃至請求項3 4のいずれか一項において、  
前記画素部は線順次駆動又は点順次駆動を行うことを特徴とする発光装置の駆動方法。
- 3 7. 請求項3 1乃至請求項3 4のいずれか一項において、  
前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする発光  
20 装置の駆動方法。

FIG.1



2/55

FIG.2



解説用紙(規則26)

3/55

FIG.3A

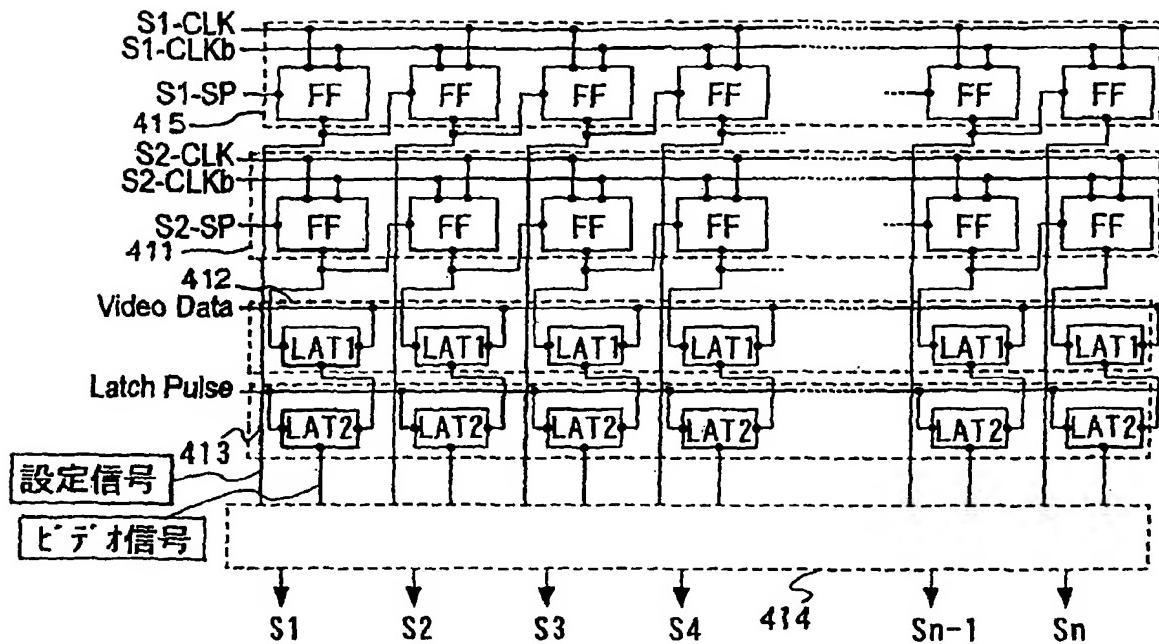


FIG.3B

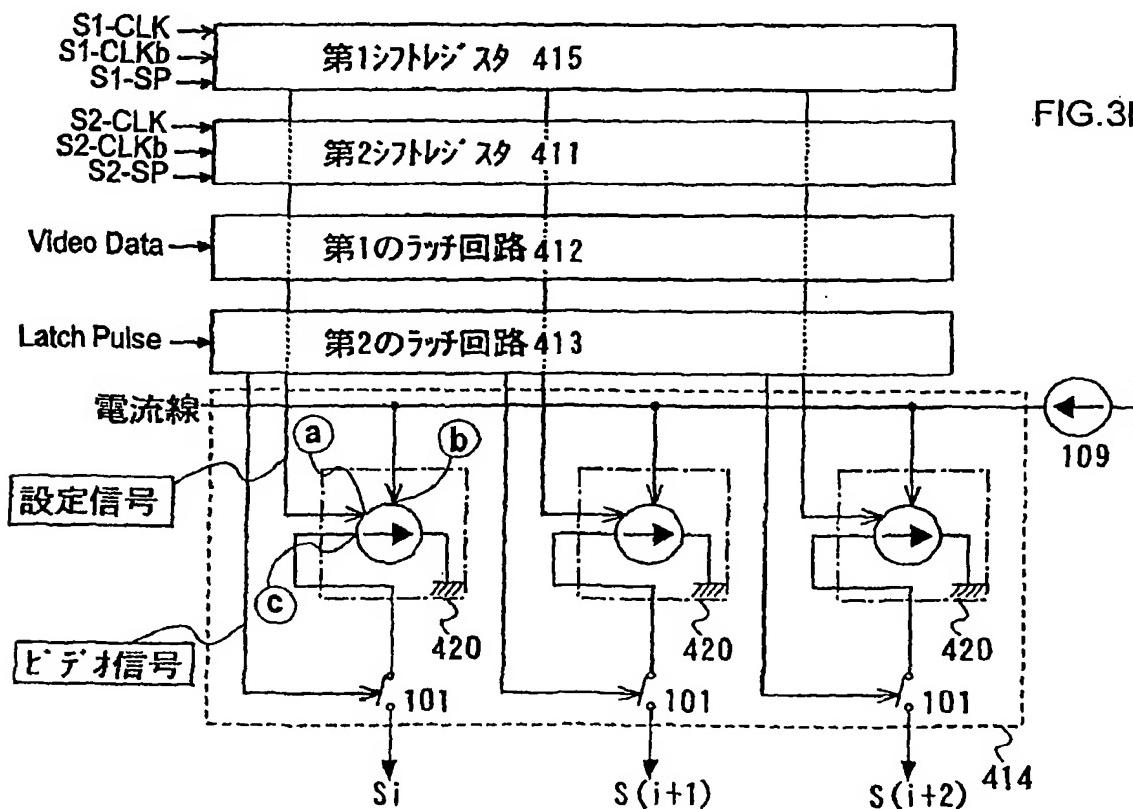
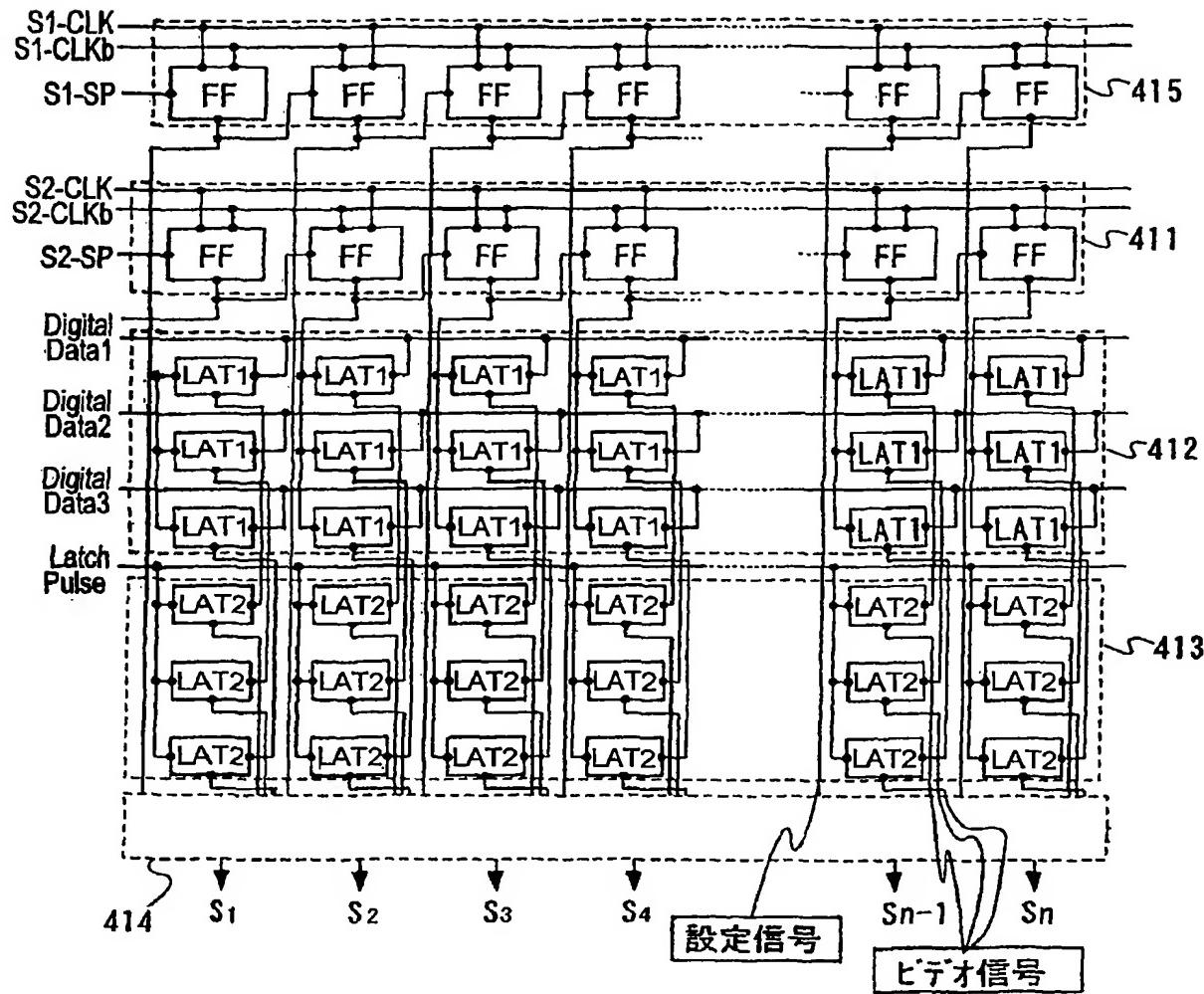
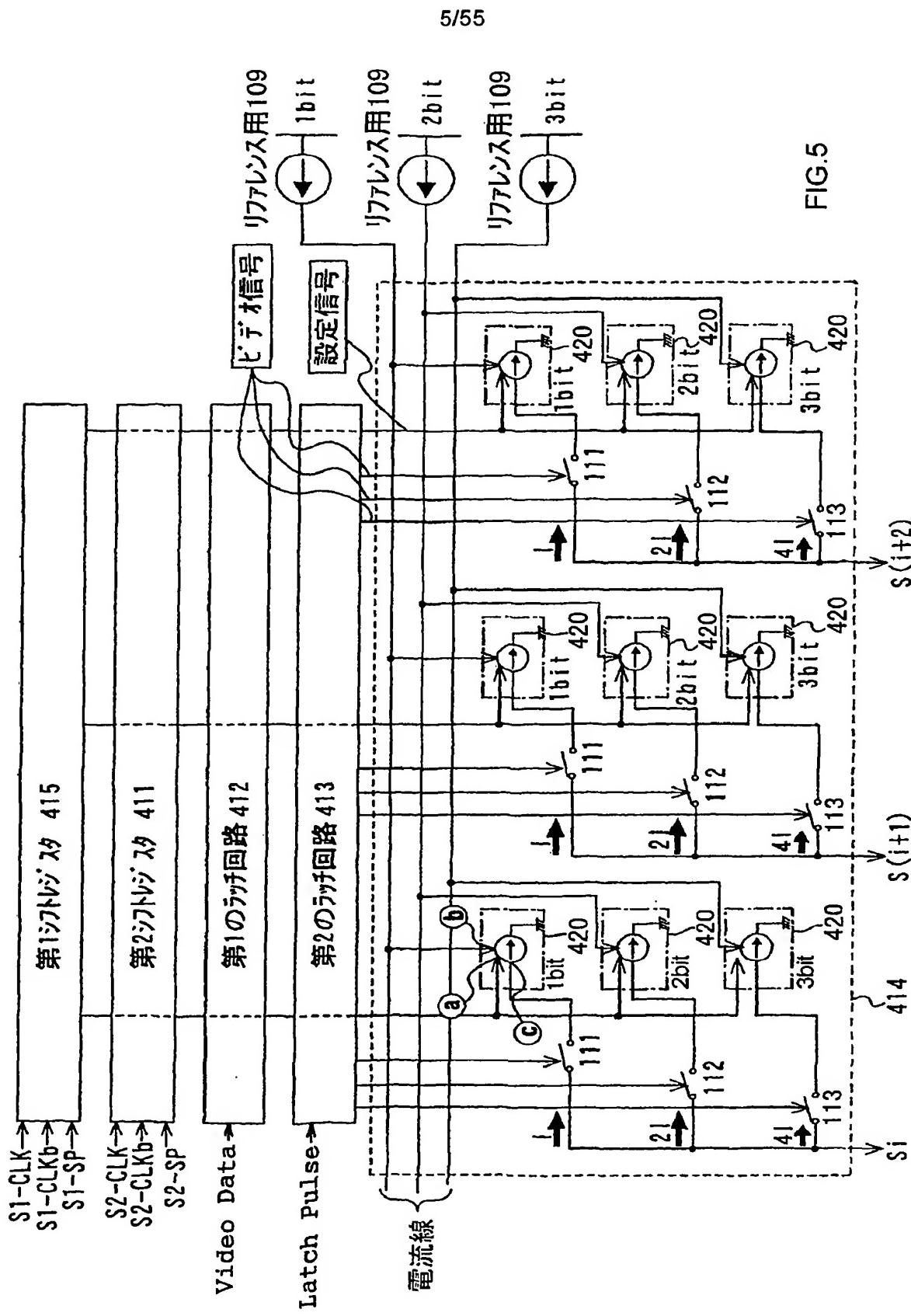


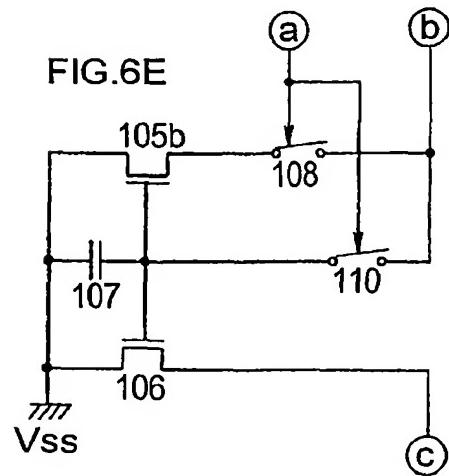
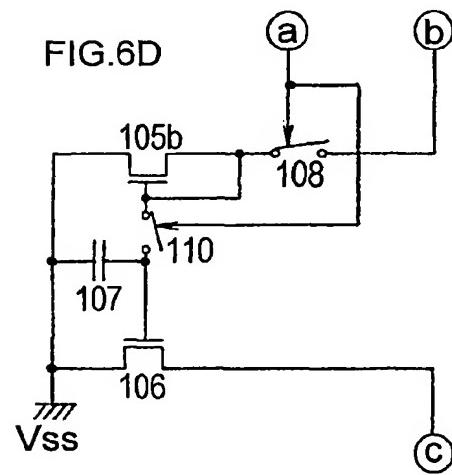
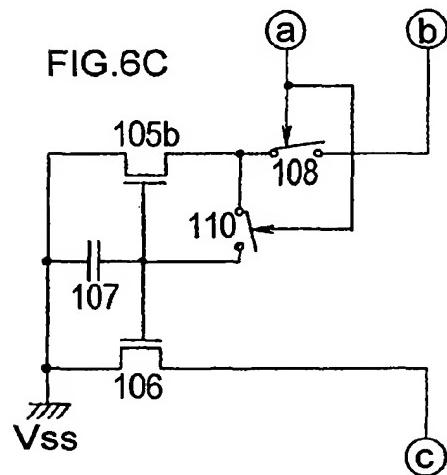
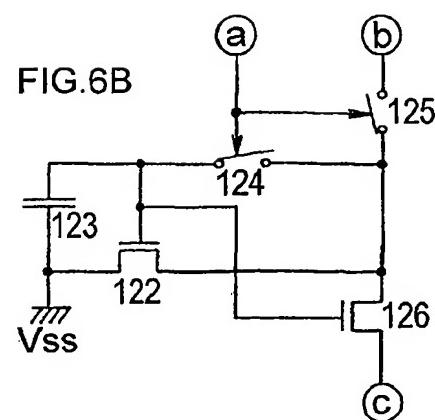
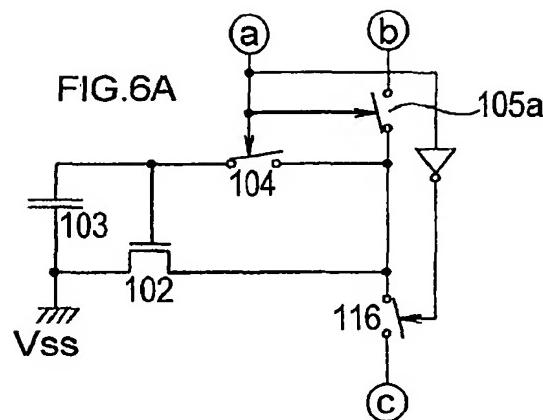
FIG.4



5/55



6/55



7/55

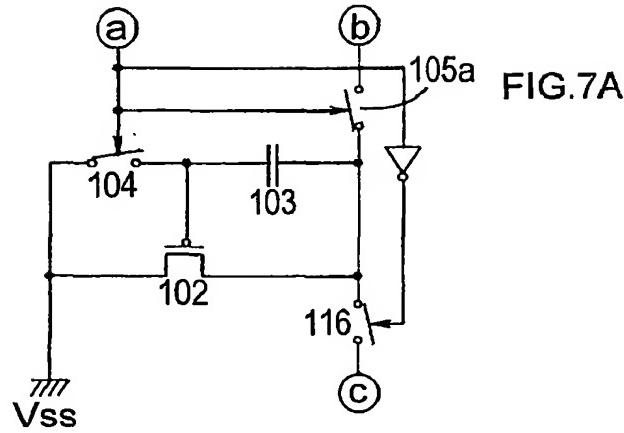


FIG.7A

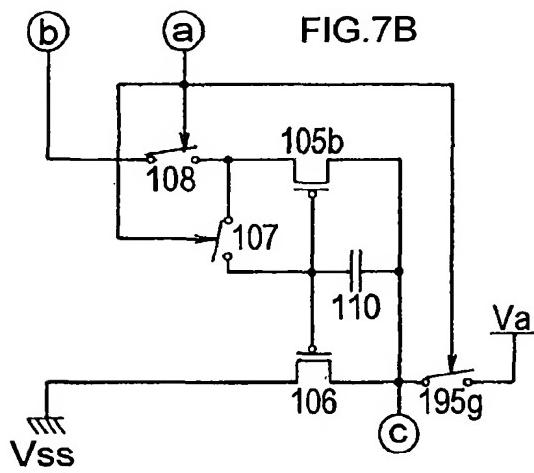


FIG.7B

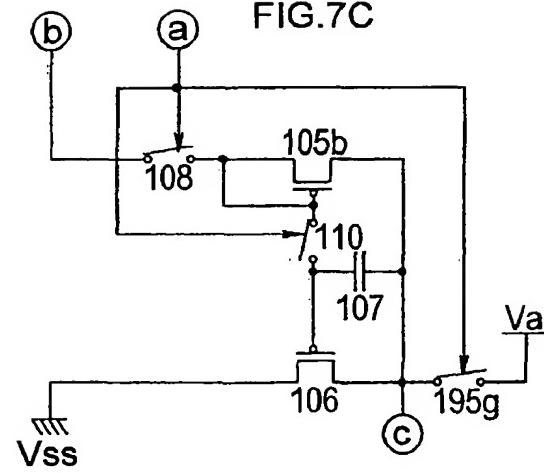


FIG.7C

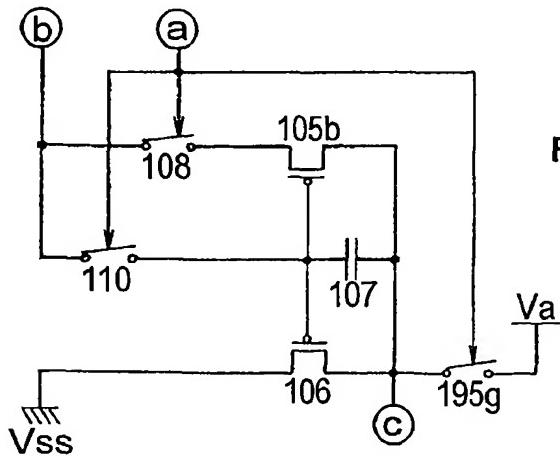


FIG.7D

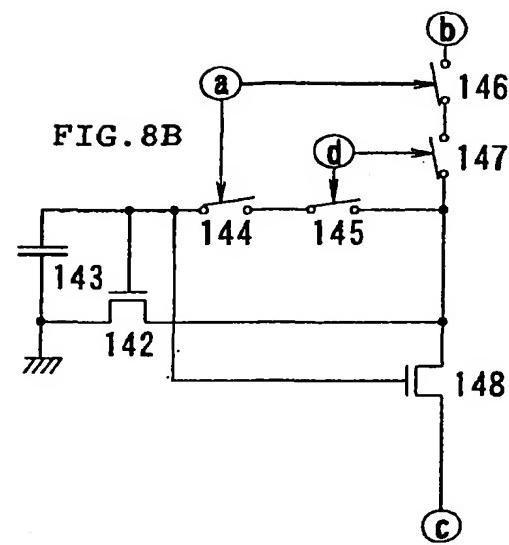
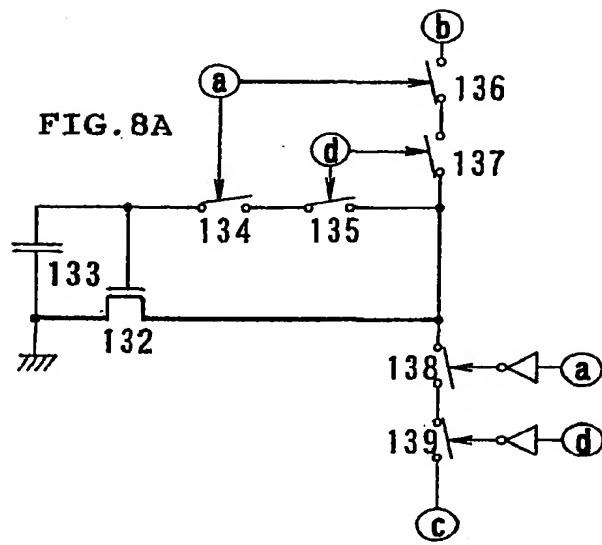


FIG.9

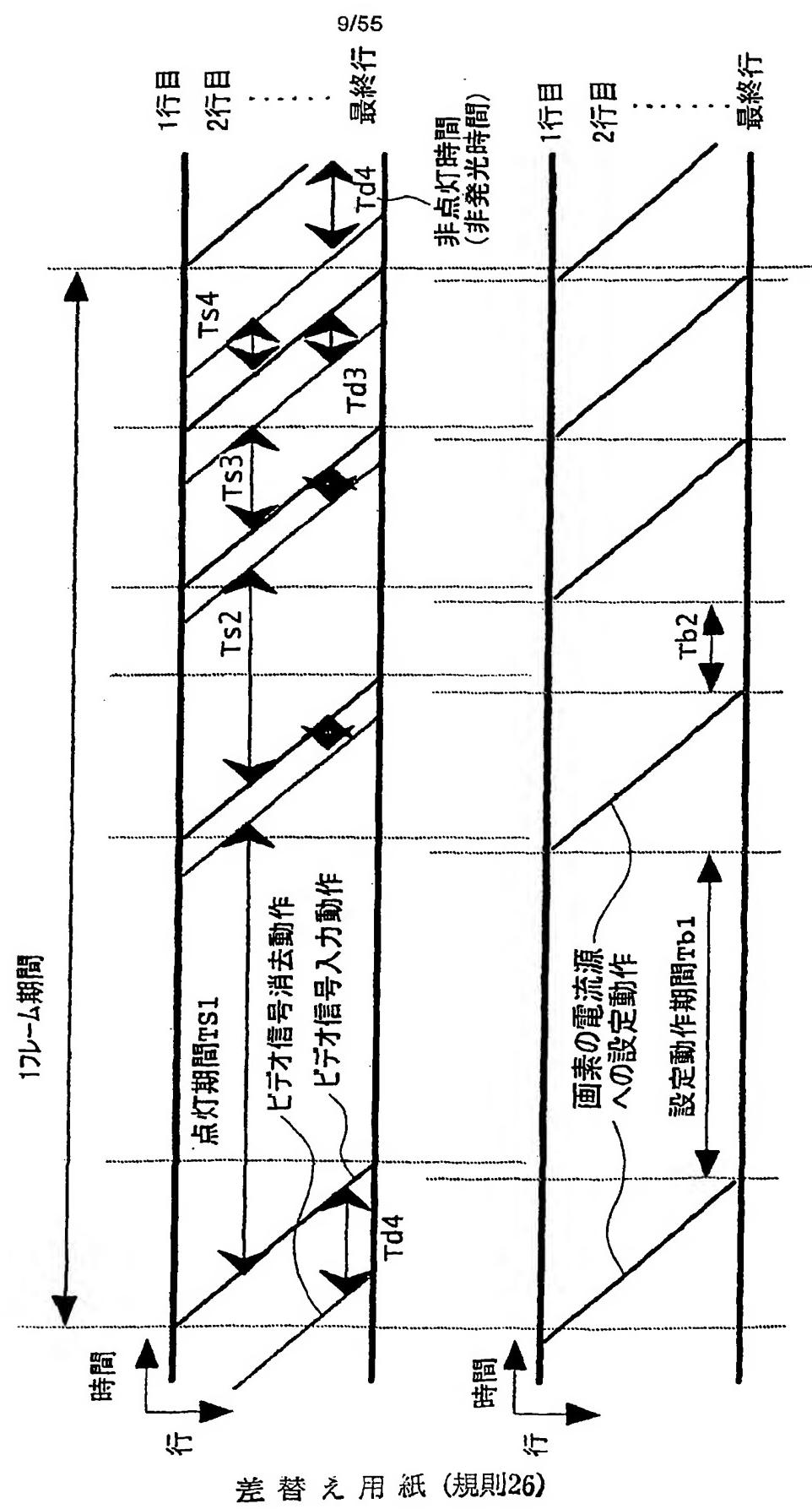
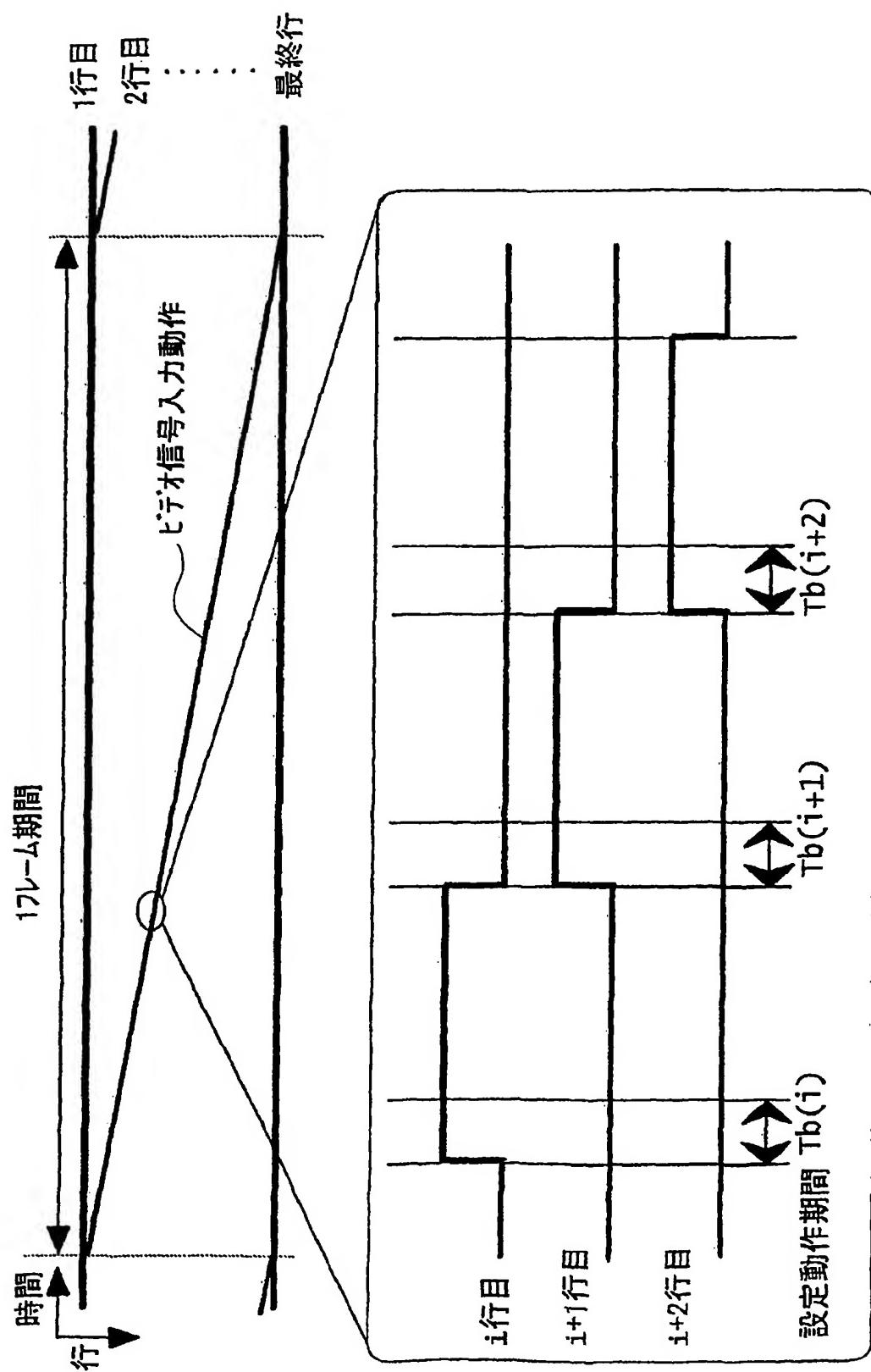
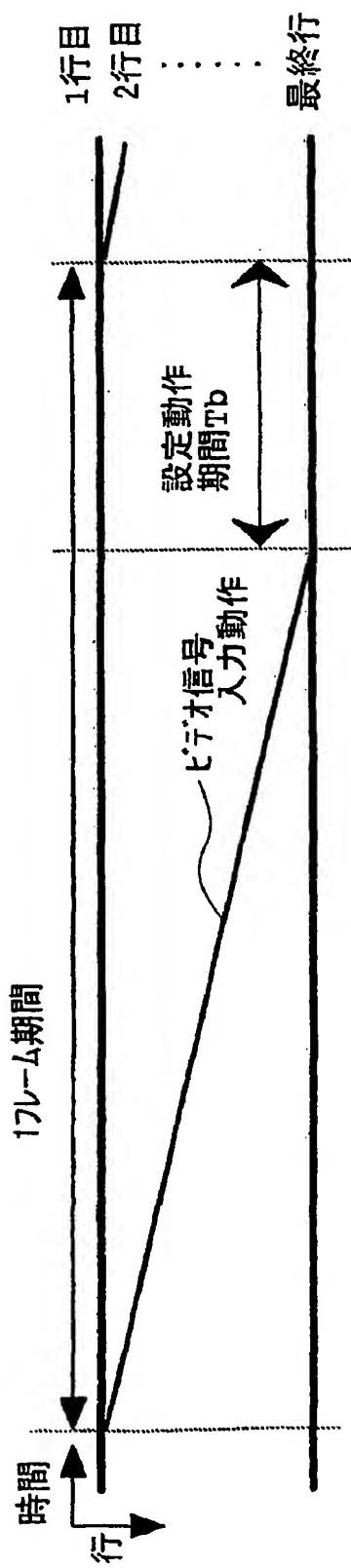


FIG.10



11/55

FIG.11



12/55

FIG.12A

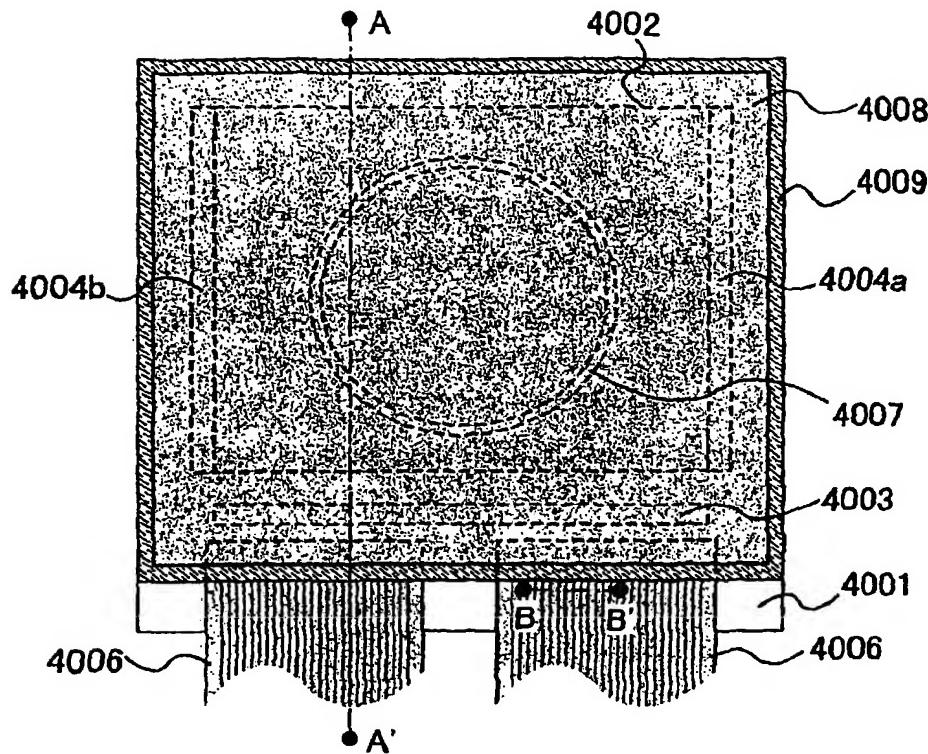
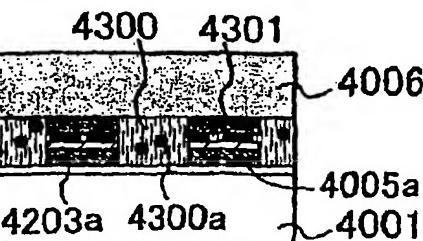
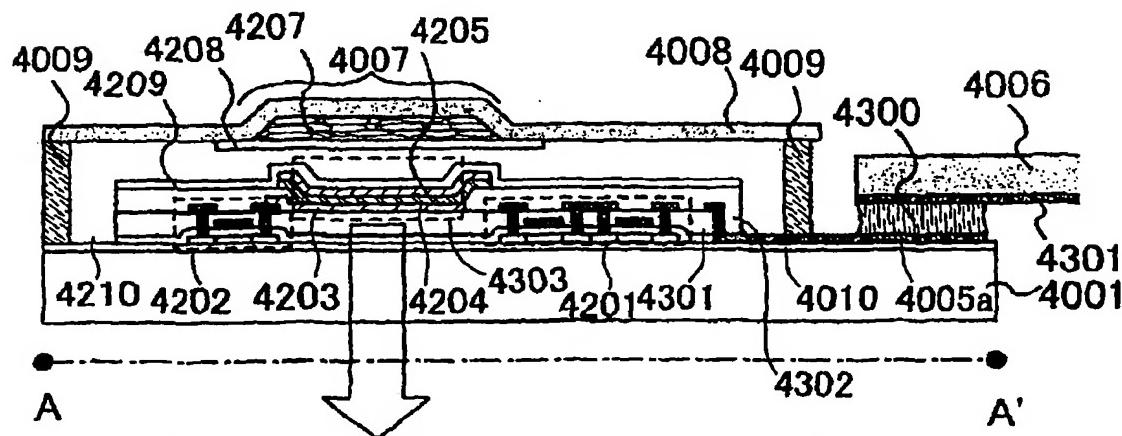


FIG.12B



差替え用 (規則26)  
FIG.12C

13/55

FIG.13A

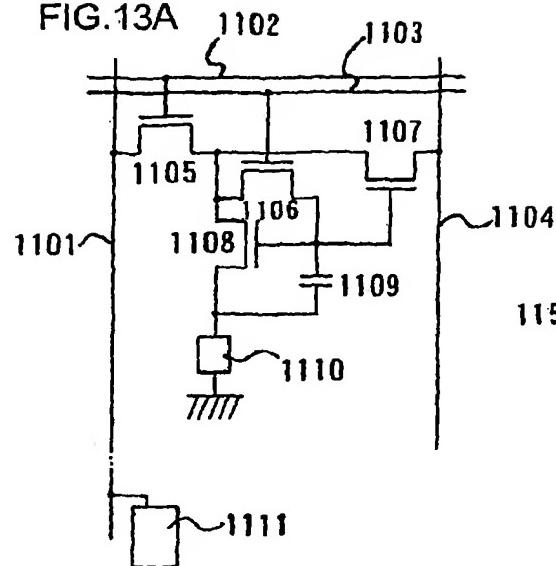


FIG.13B

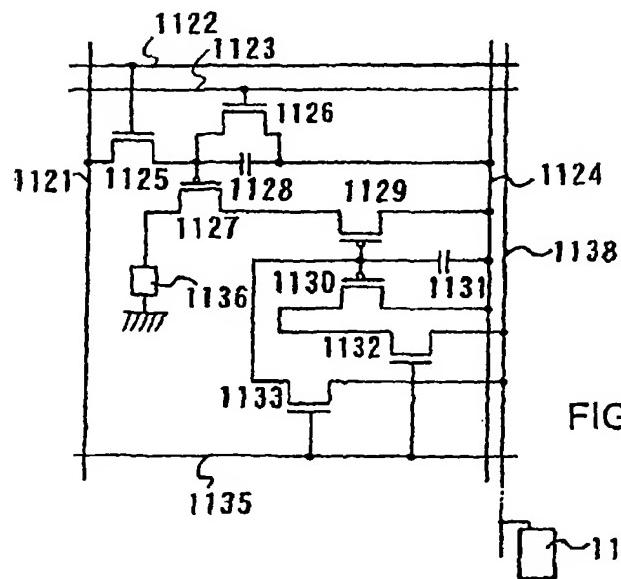
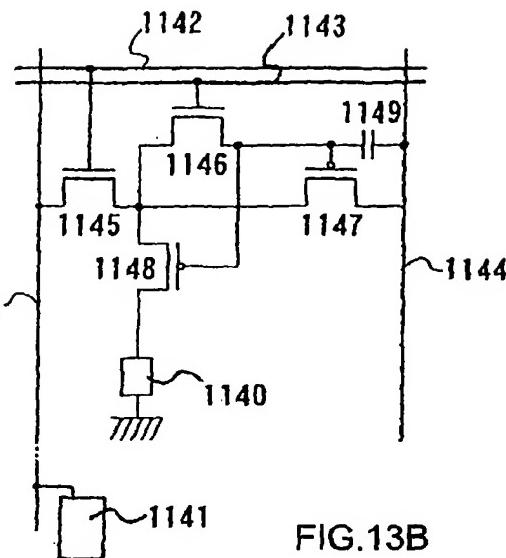
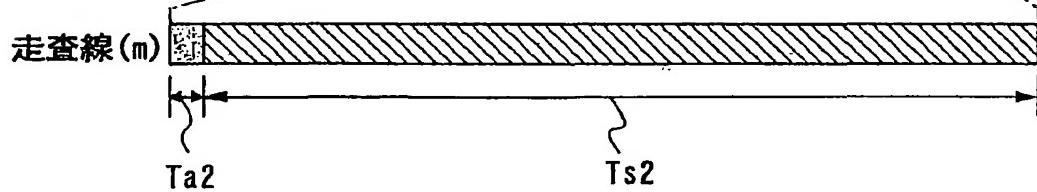
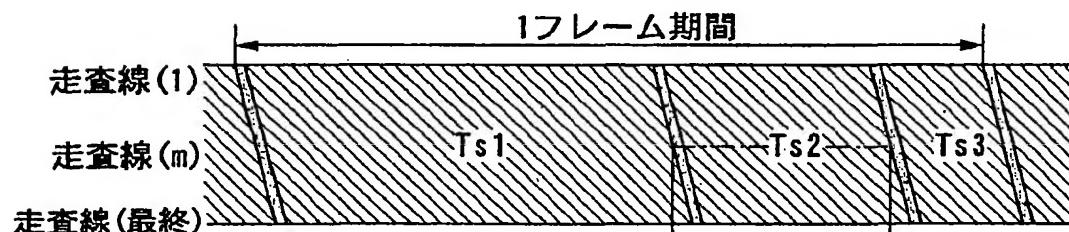
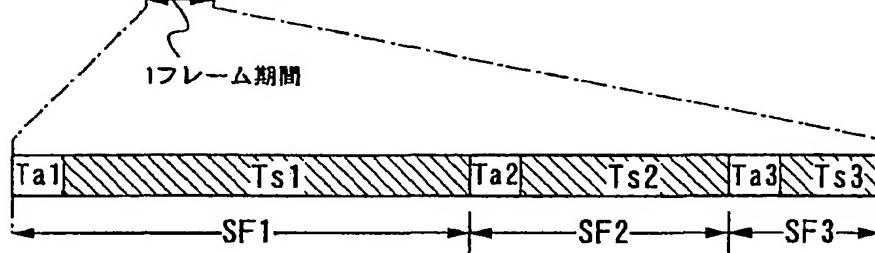
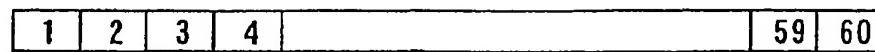


FIG.13C



14/1/55

FIG.15A

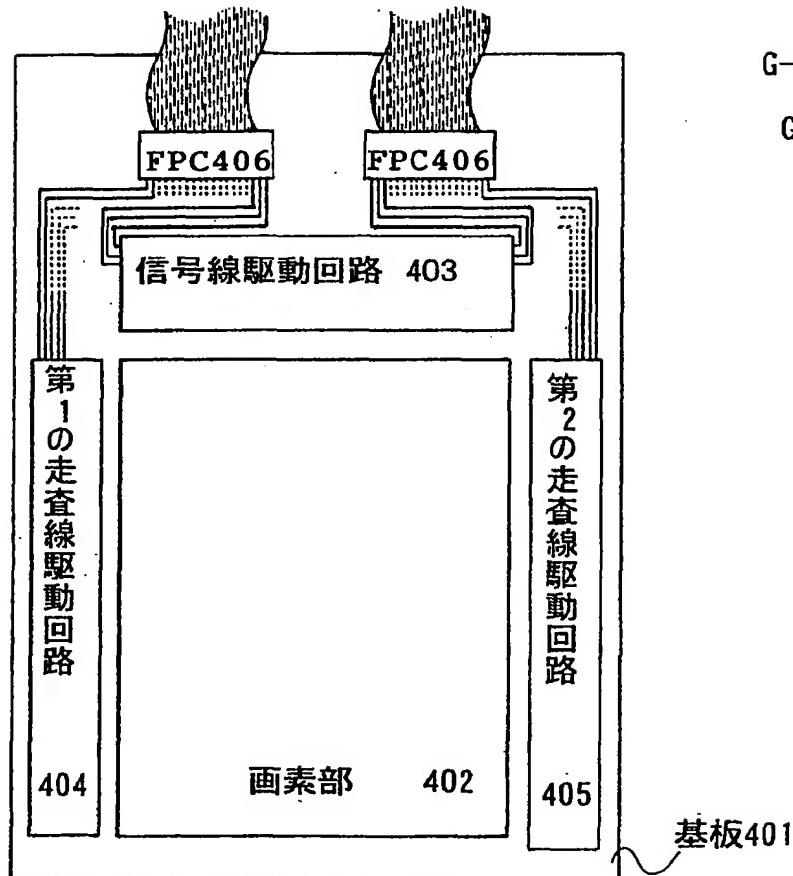
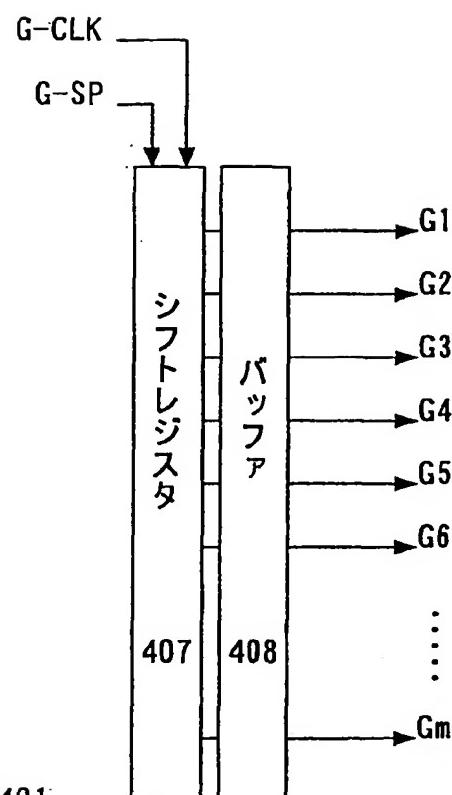


FIG.15B



15/55

FIG.16A

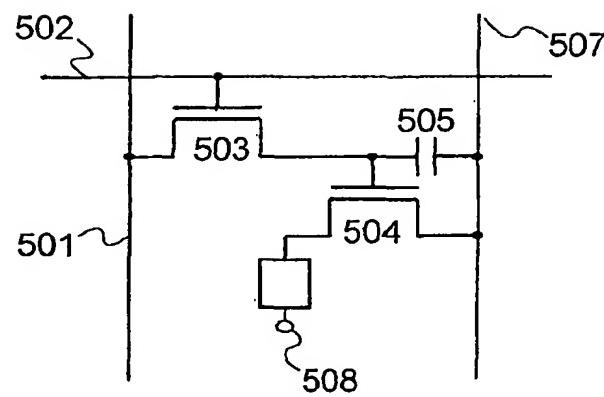
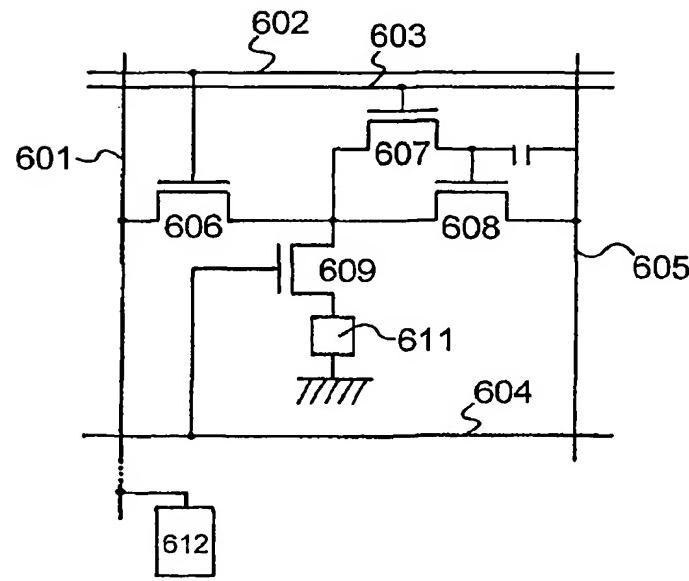


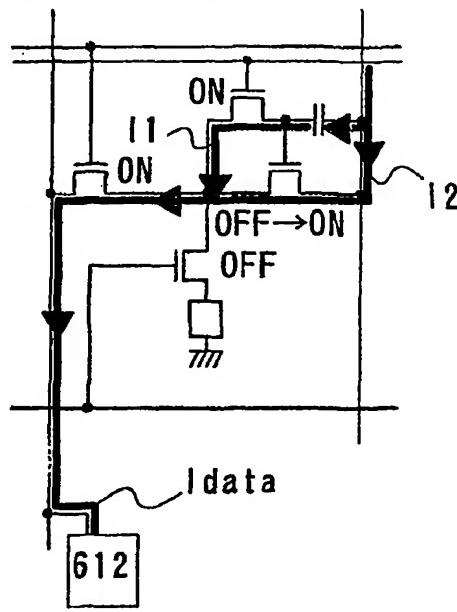
FIG.16B



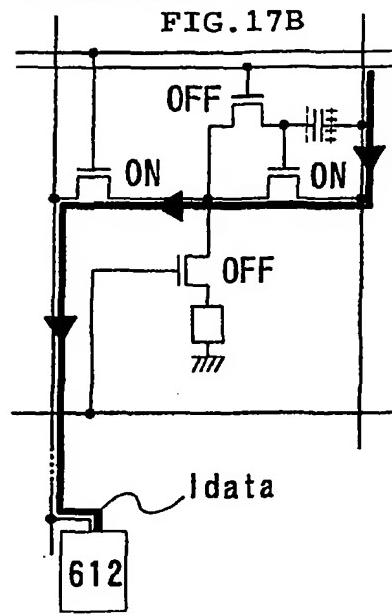
差替え用紙(規則26)

16/55

信号入力時 FIG. 17A



信号入力完了時



発光時 FIG. 17C

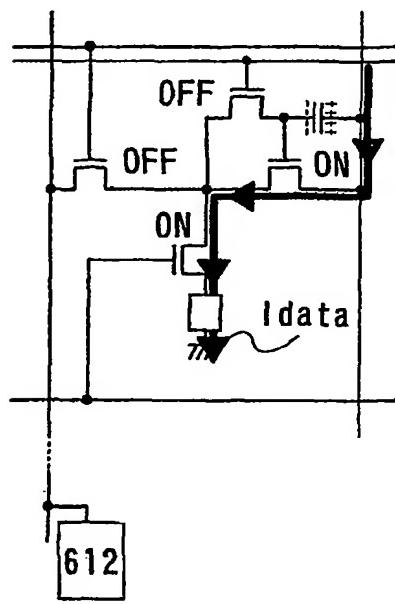


FIG. 17D

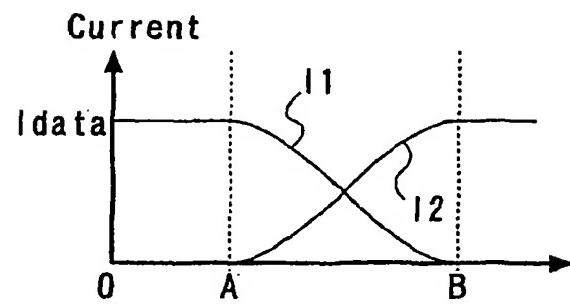
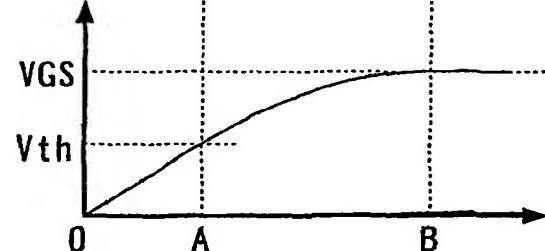


FIG. 17E



17/55

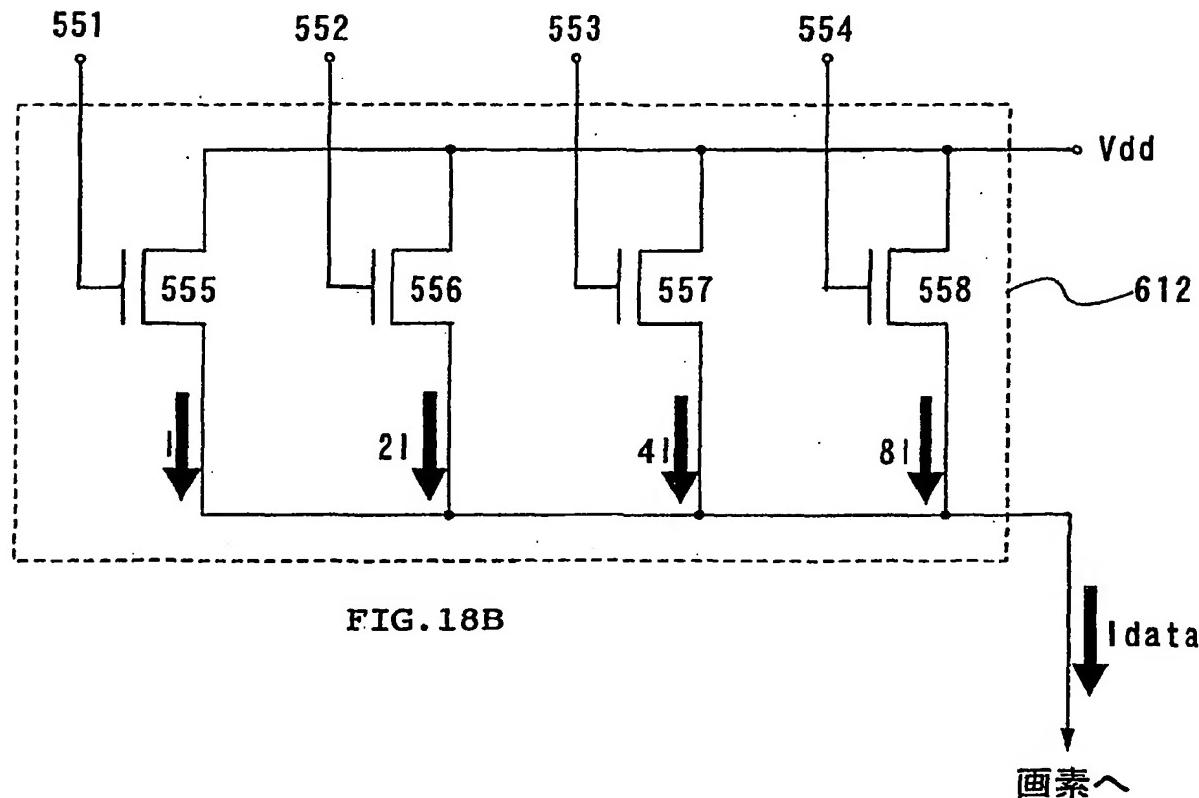
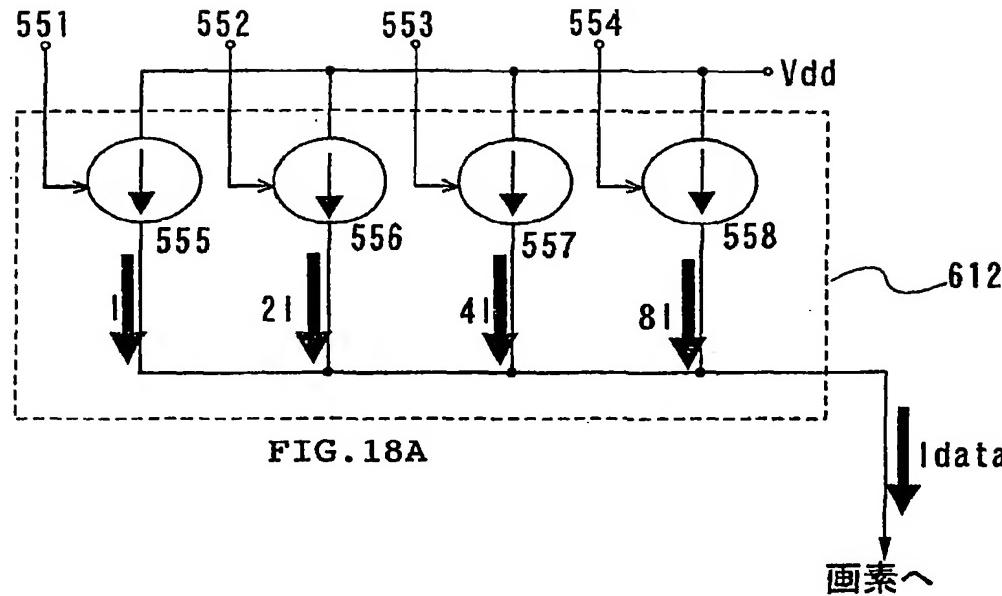


FIG.19A

信号入力時  $V_{dd}$   
リファレンス用  
定電流源11

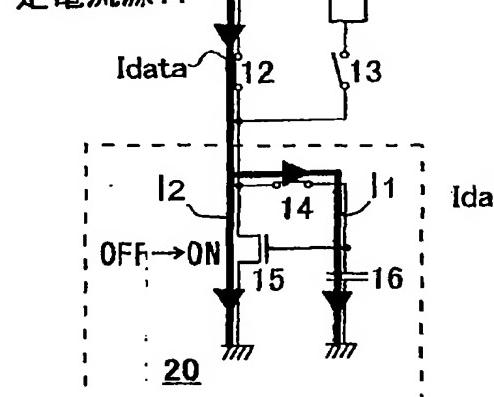


FIG.19B

信号入力完了

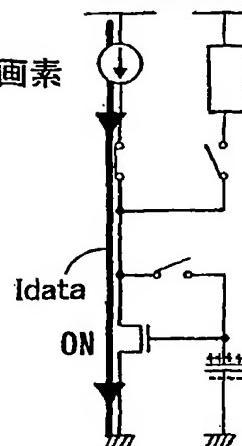


FIG.19C

画素への信号入力時

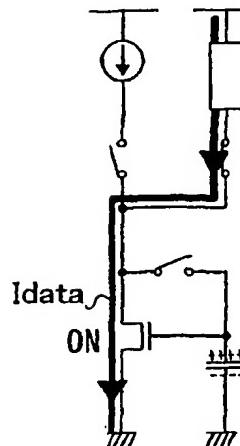


FIG.19D

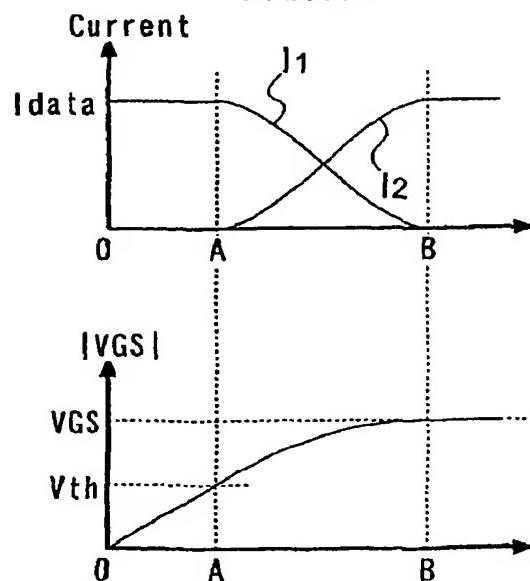


FIG.19F

リファレンス用  
定電流源31

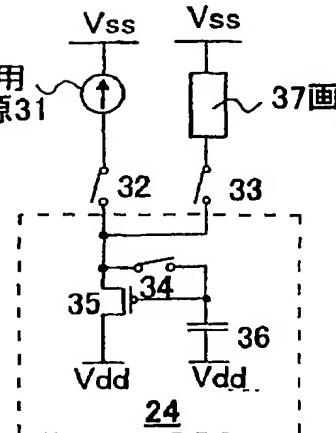


FIG.19E

FIG.20A

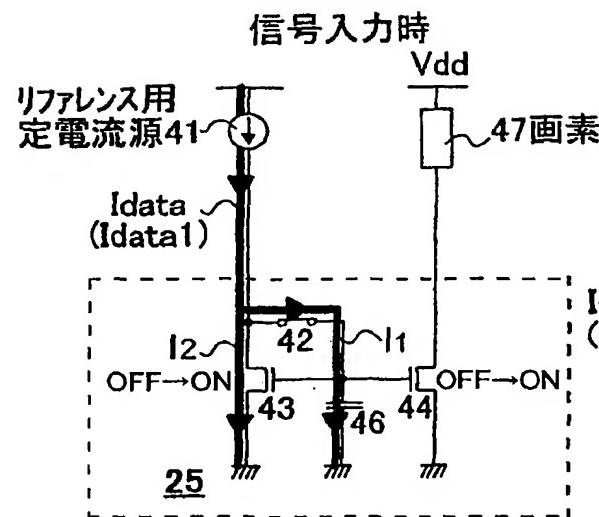


FIG.20B

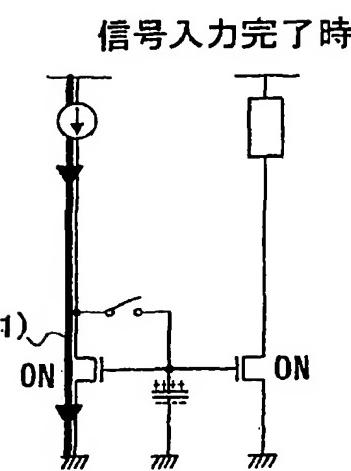


FIG.20C

画素への信号入力時

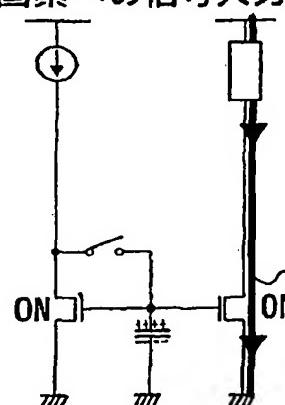


FIG.20D

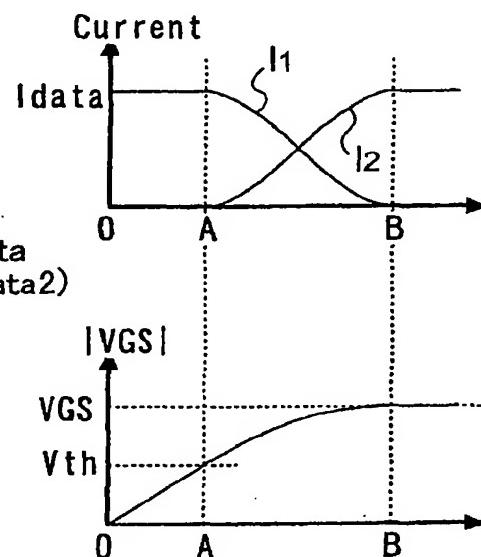


FIG.20E

20/55

FIG.21

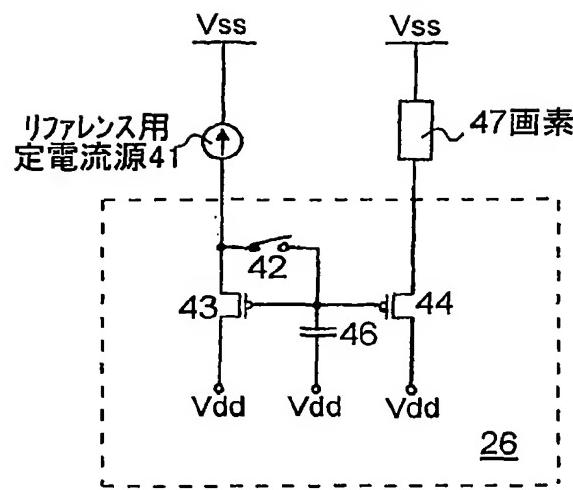
26

FIG. 22A

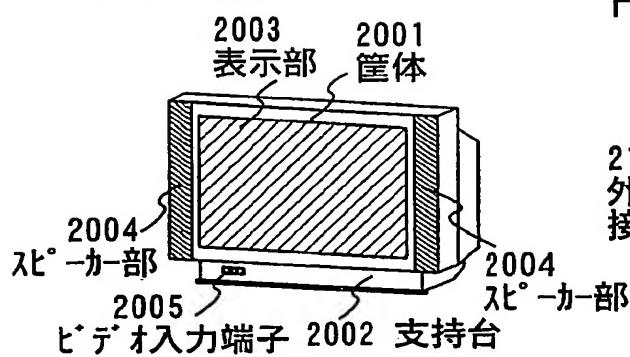


FIG. 22B

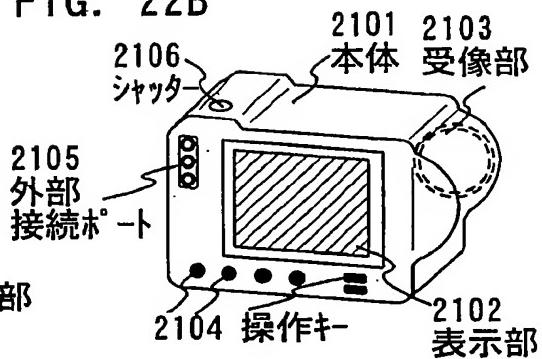


FIG. 22C



FIG. 22D

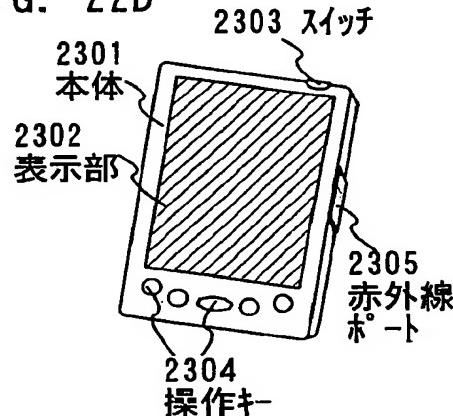


FIG. 22E

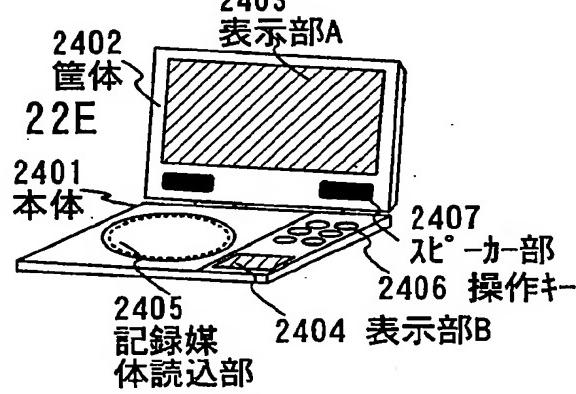


FIG. 22F

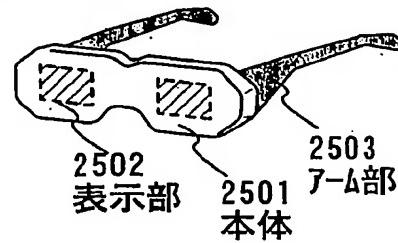


FIG. 22G

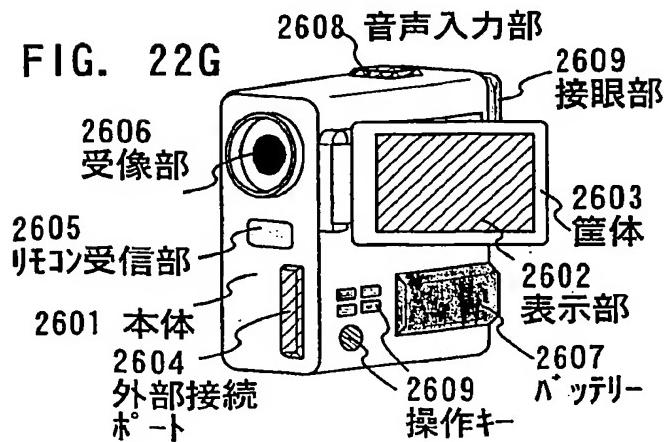
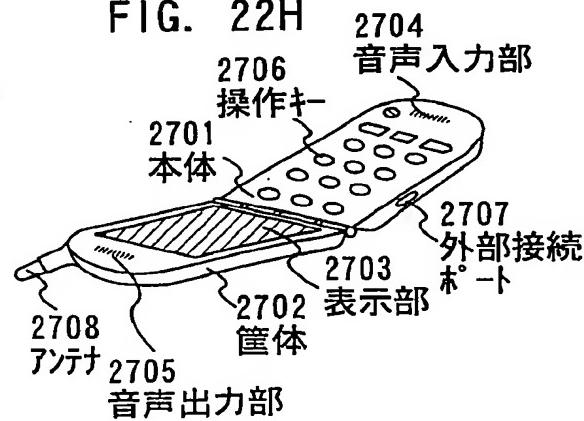


FIG. 22H



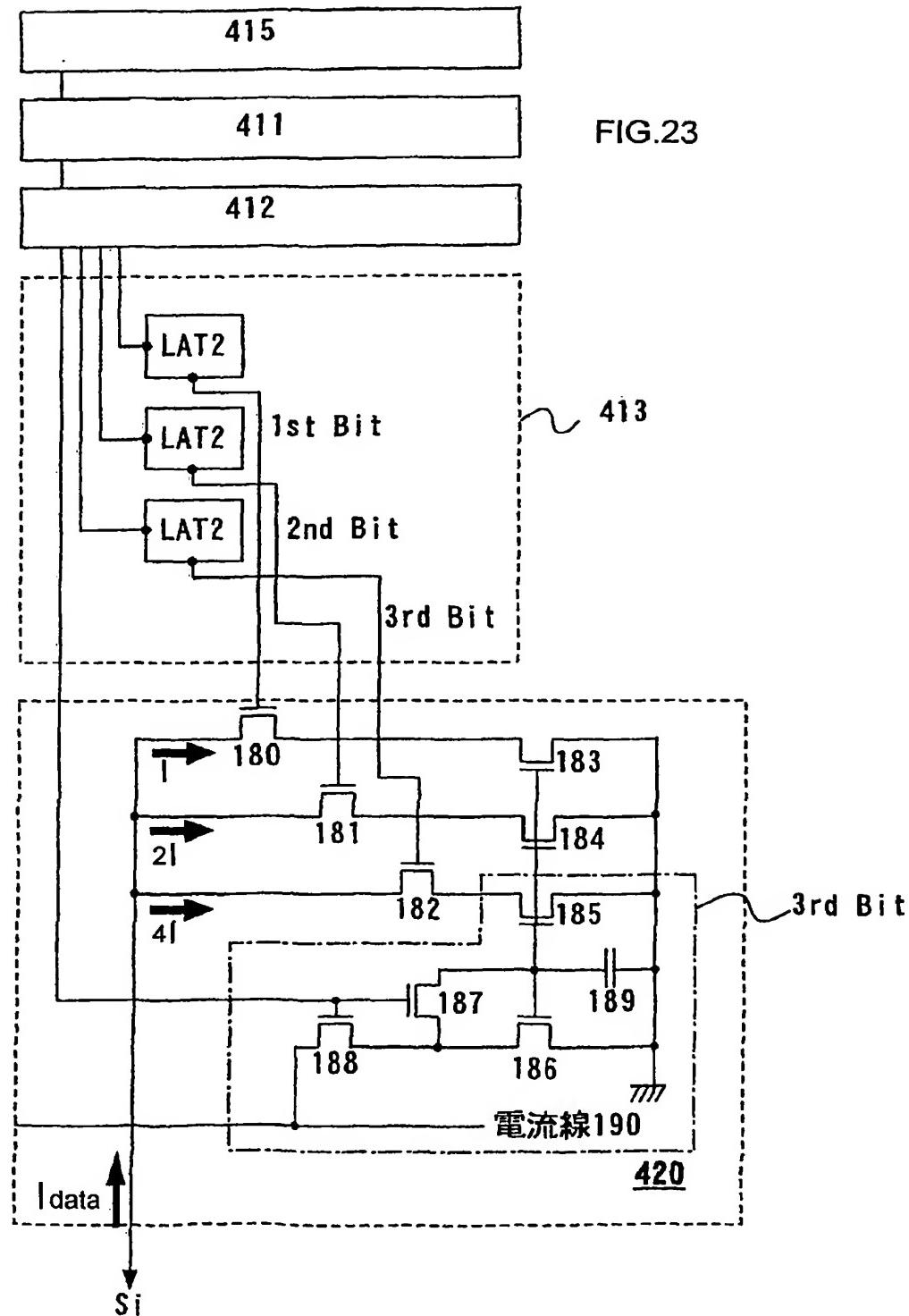
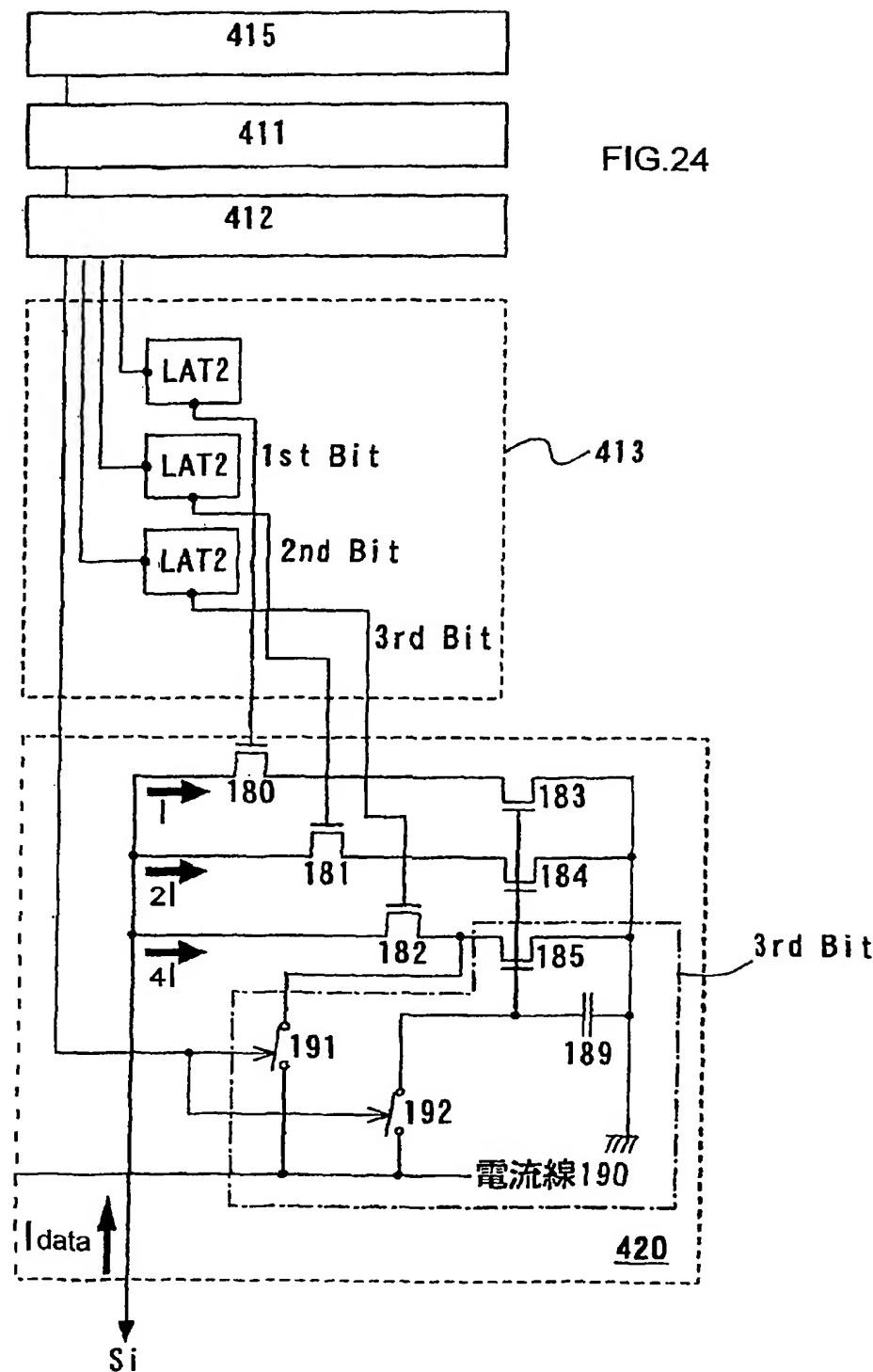
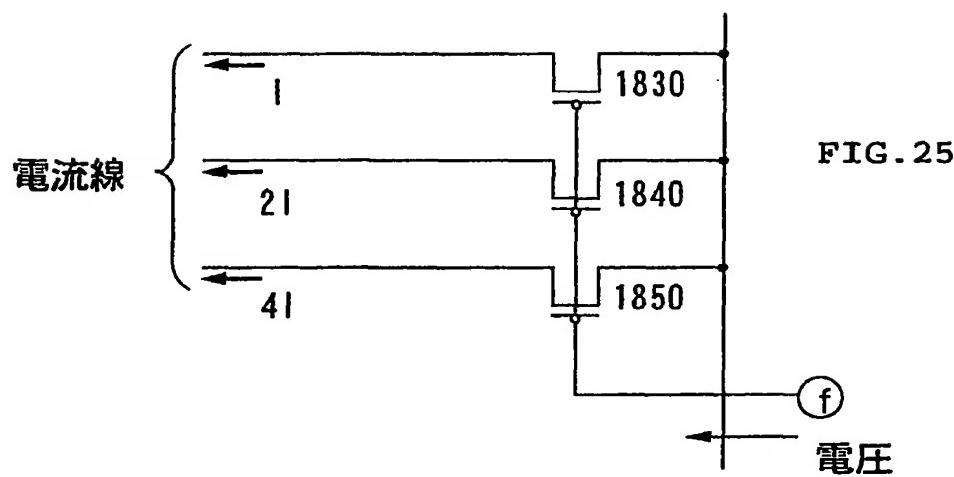


FIG.23

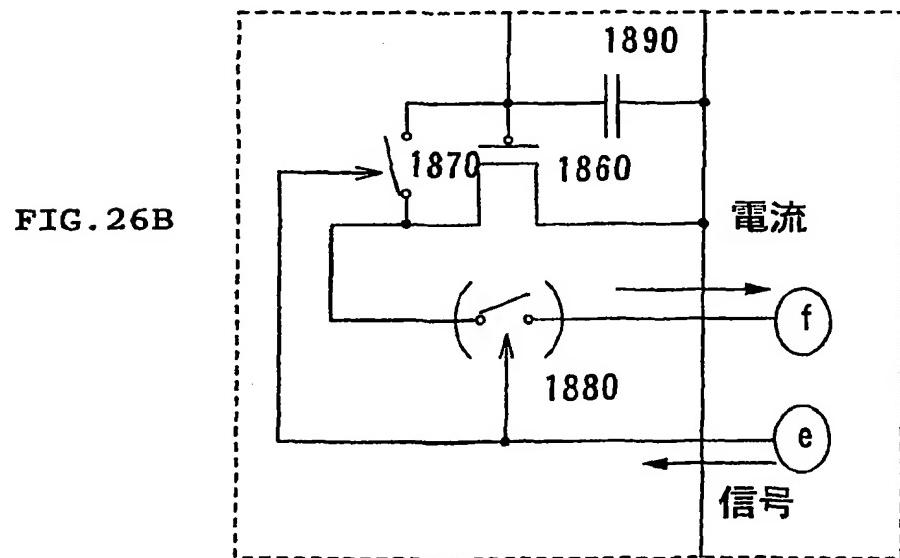
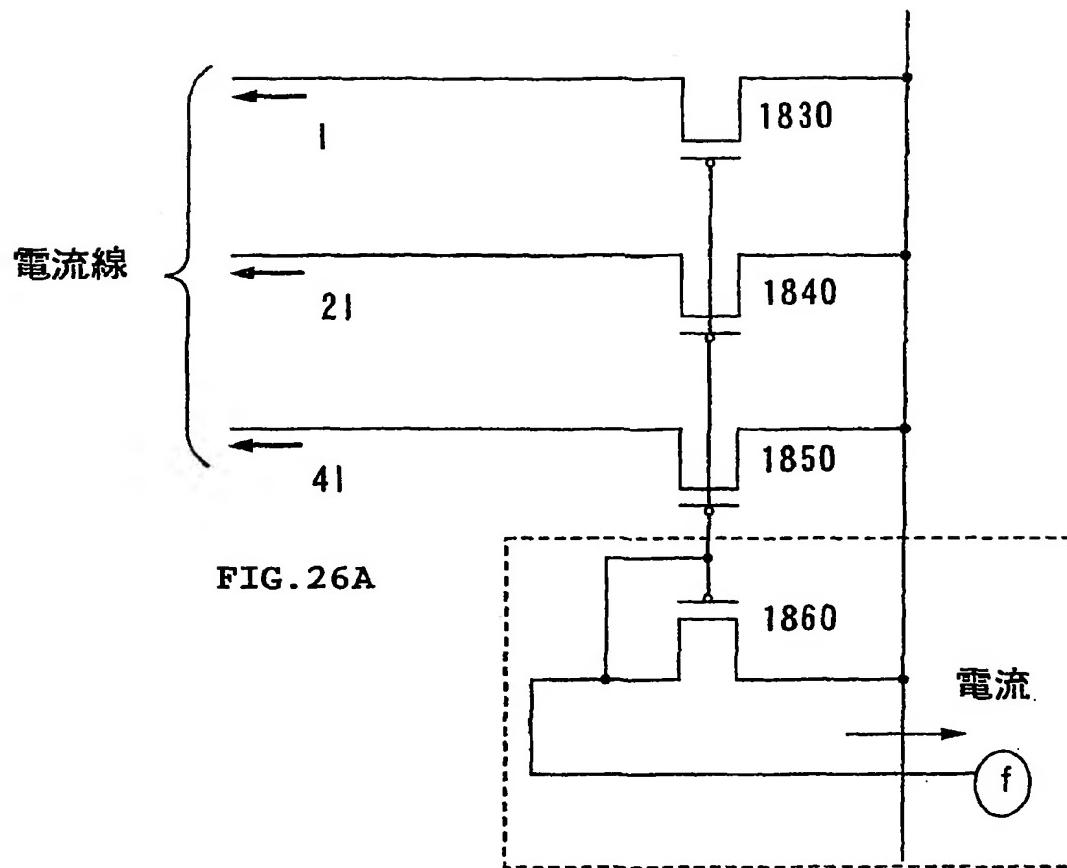


23/1/55



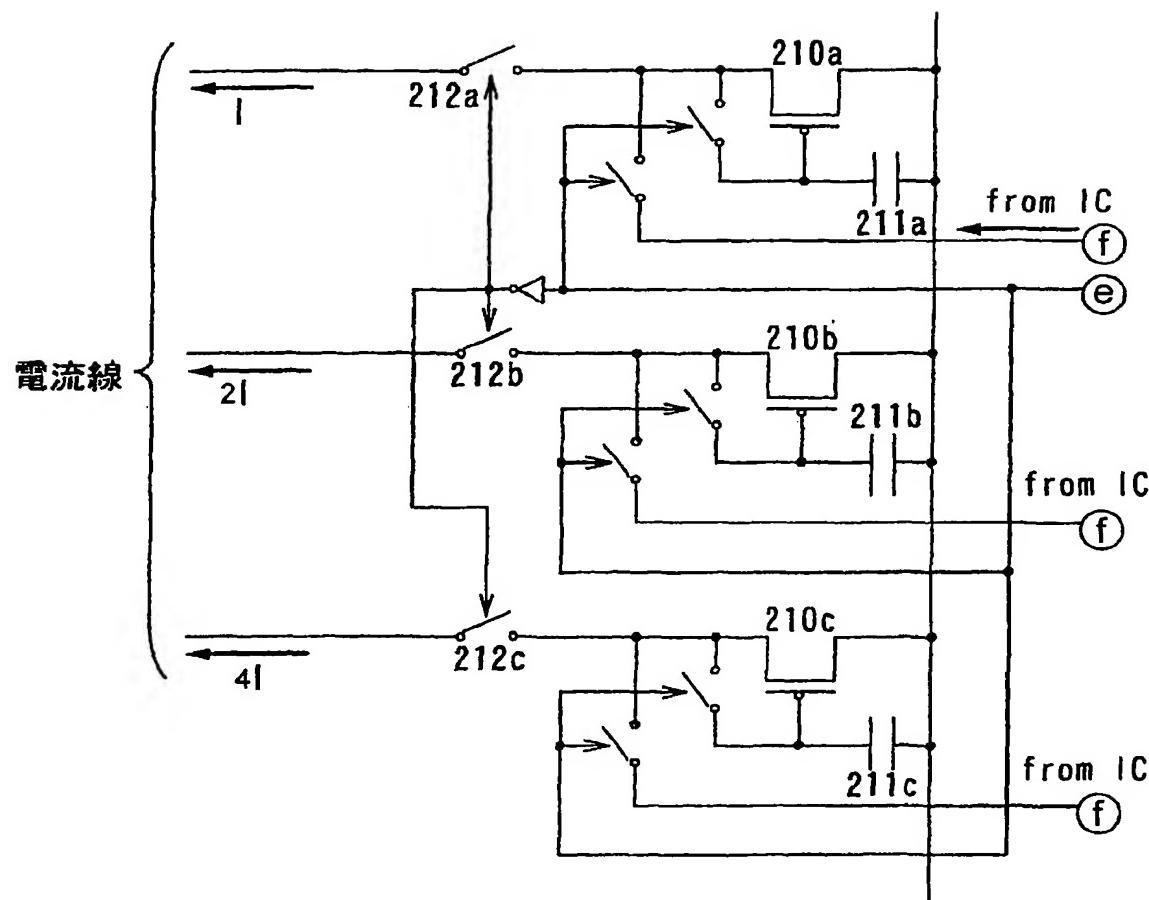
差替え用紙 (規則26)

24/55



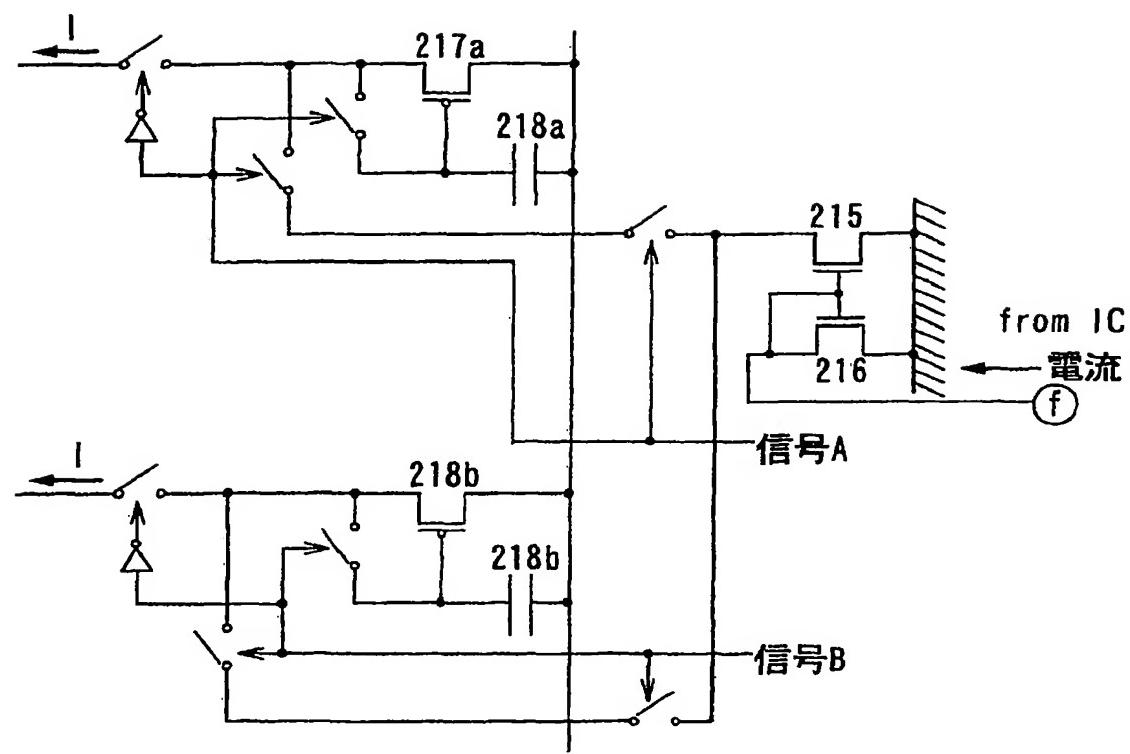
25/55

FIG.27



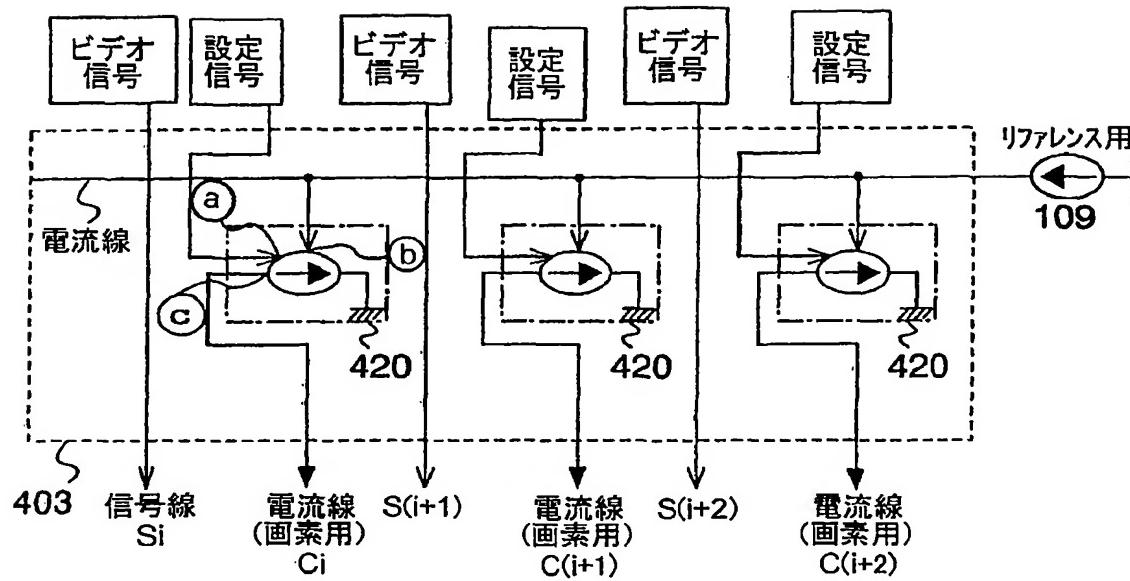
26/55

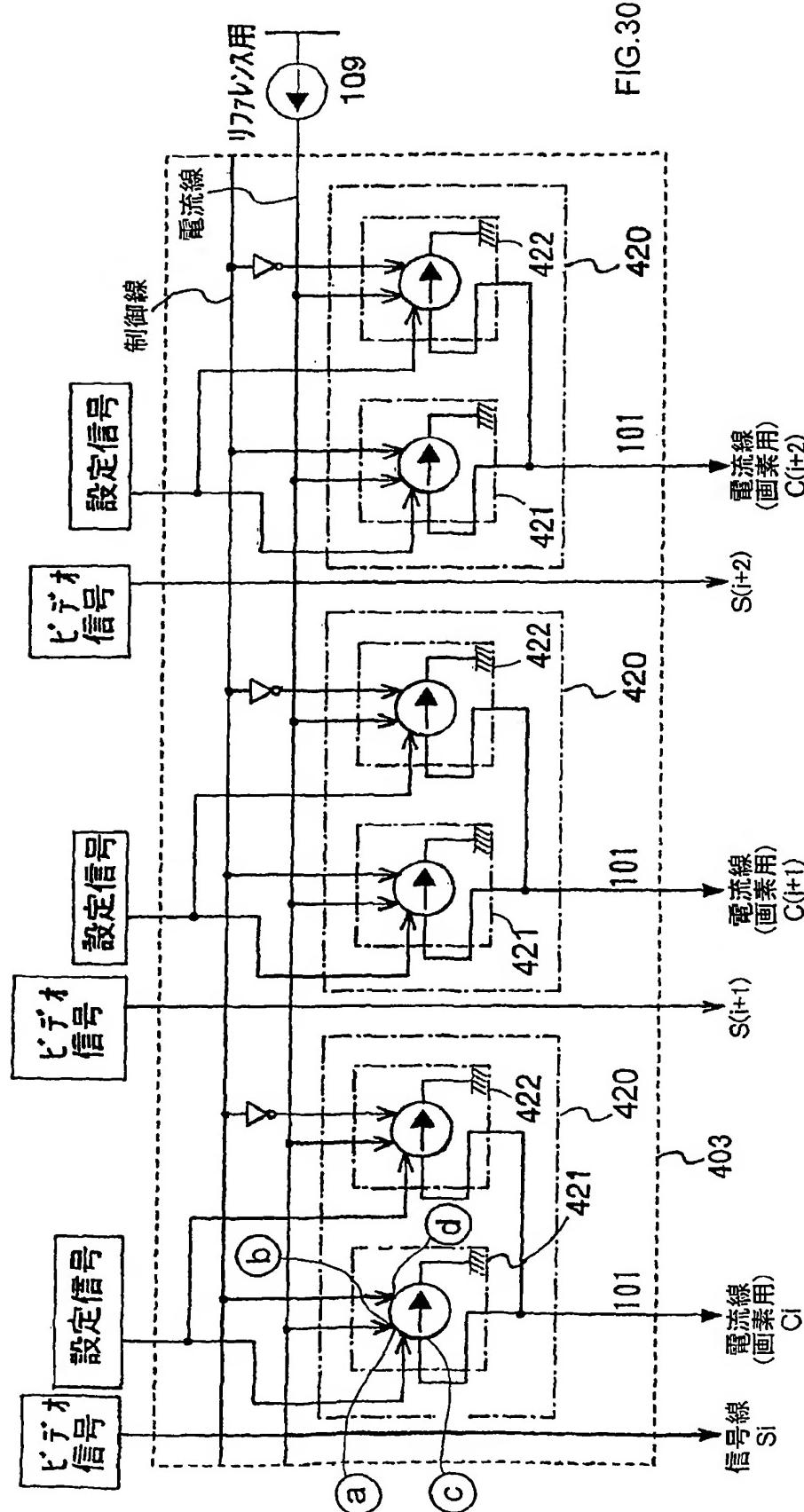
FIG.28

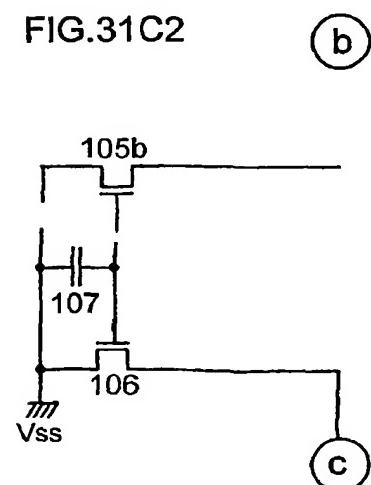
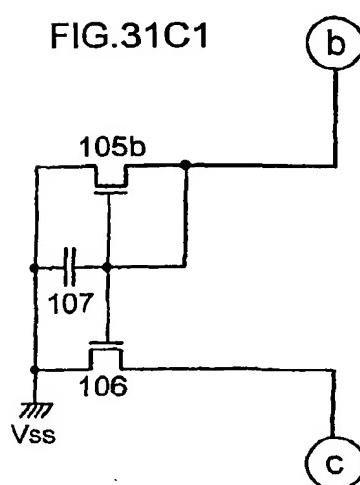
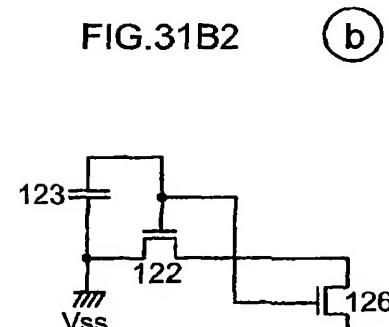
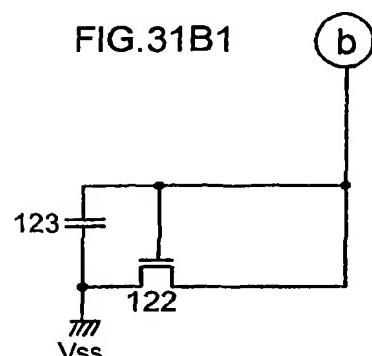
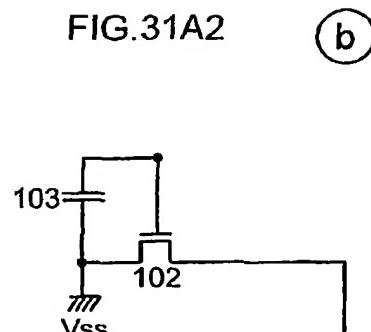
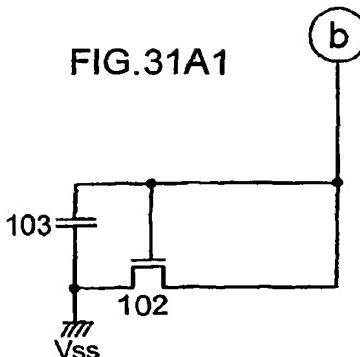


26/1/55

FIG.29







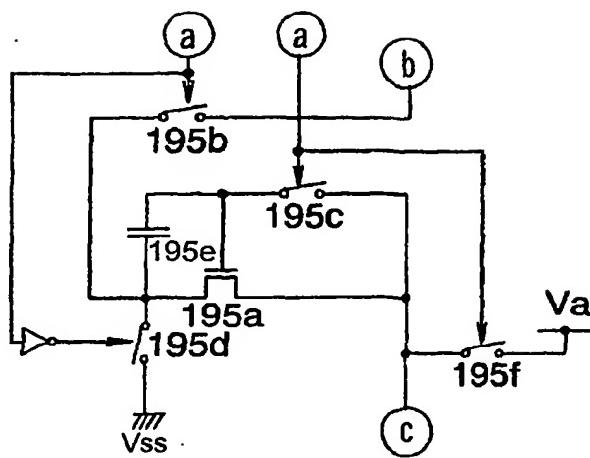


FIG.32A

FIG.32B1

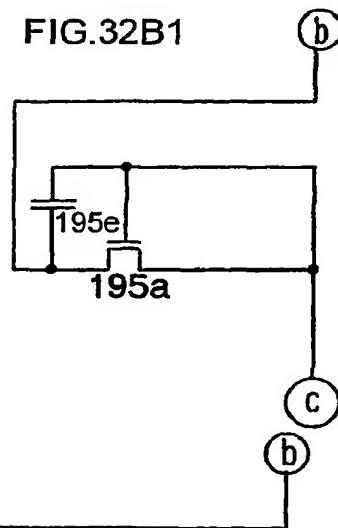


FIG.32B2

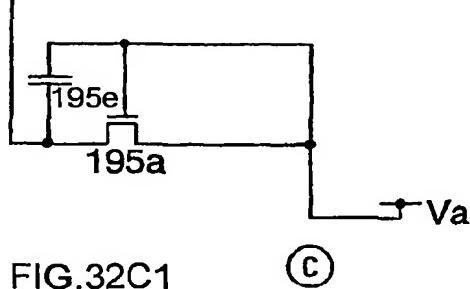
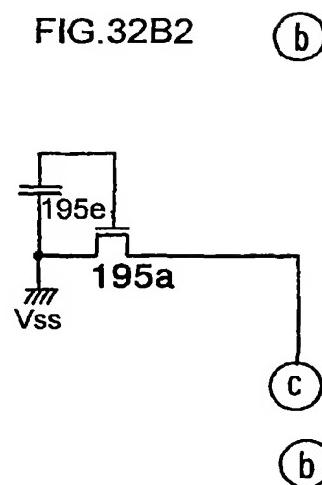


FIG.32C1

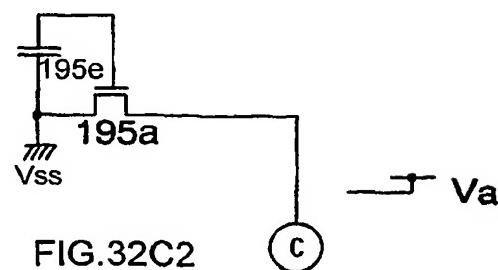


FIG.32C2

30/55

FIG.33A

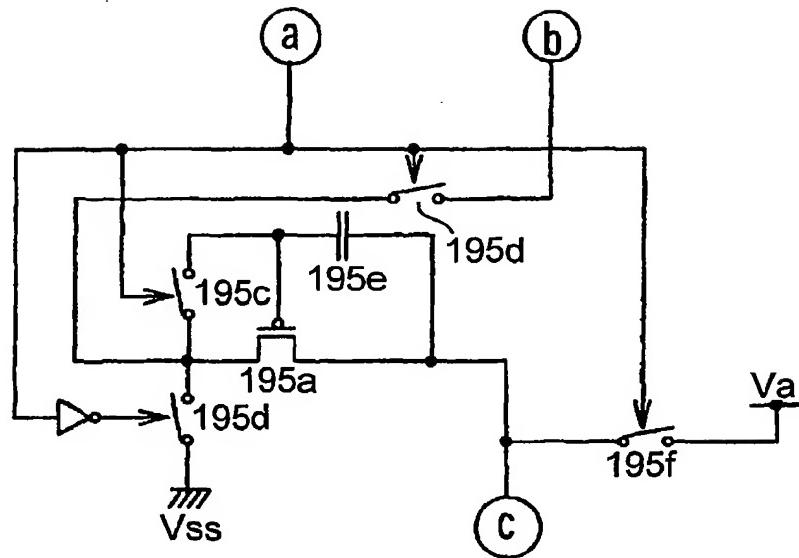
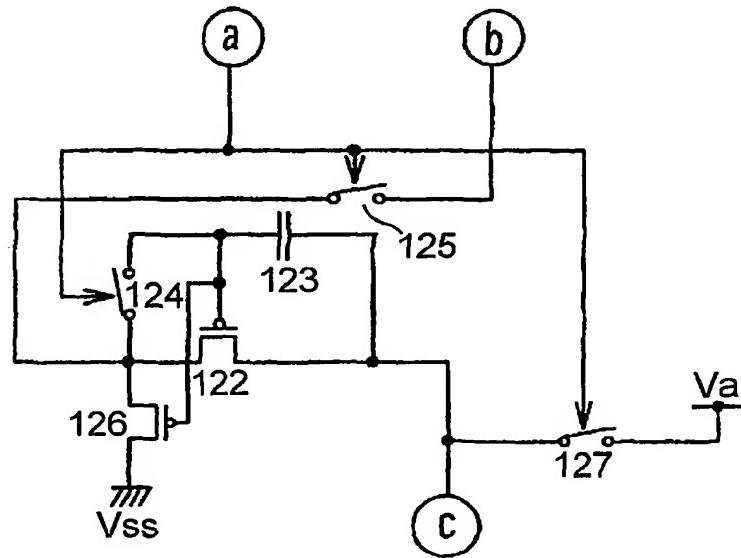
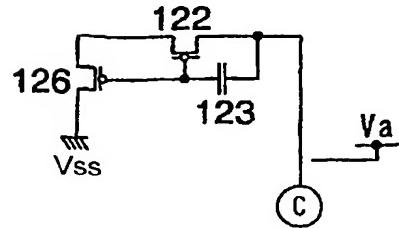
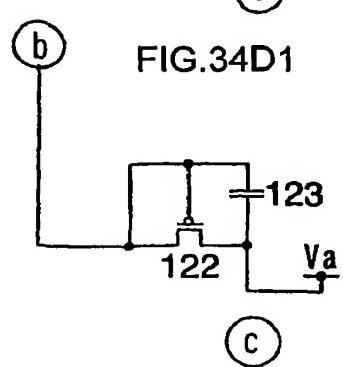
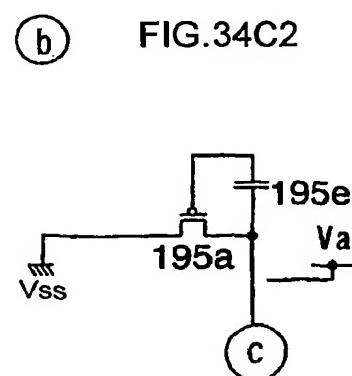
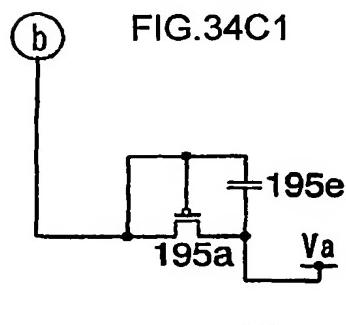
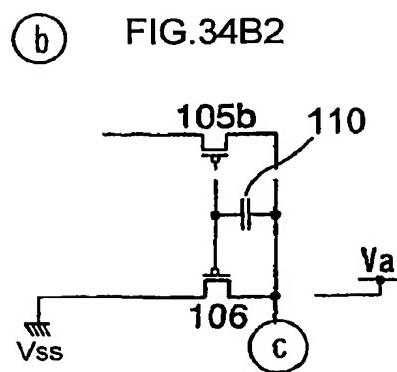
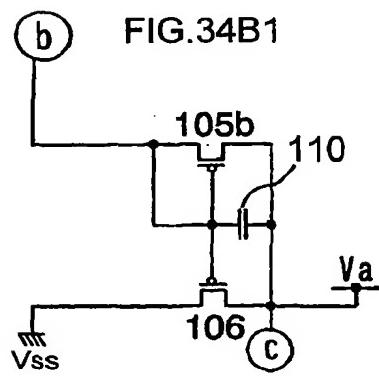
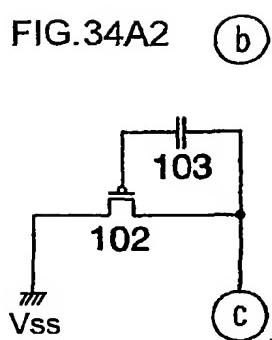
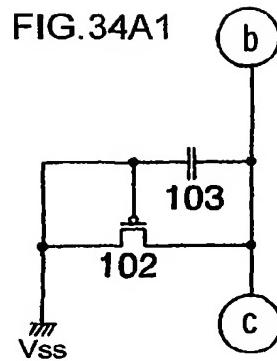
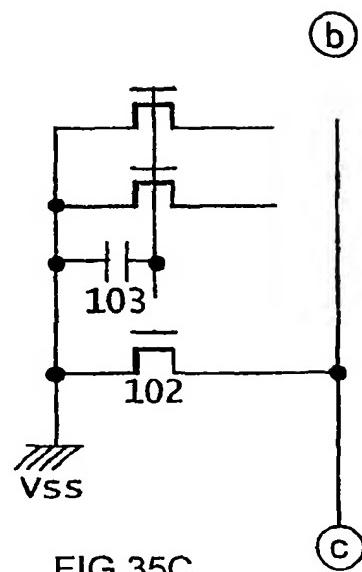
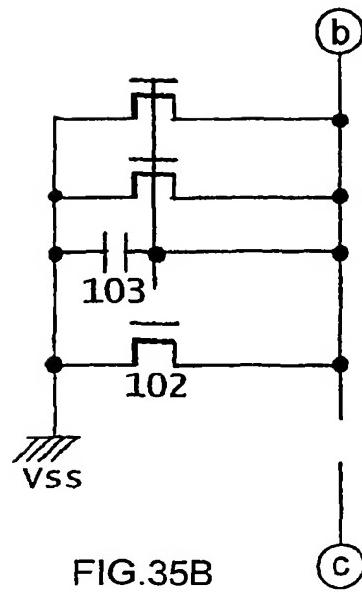
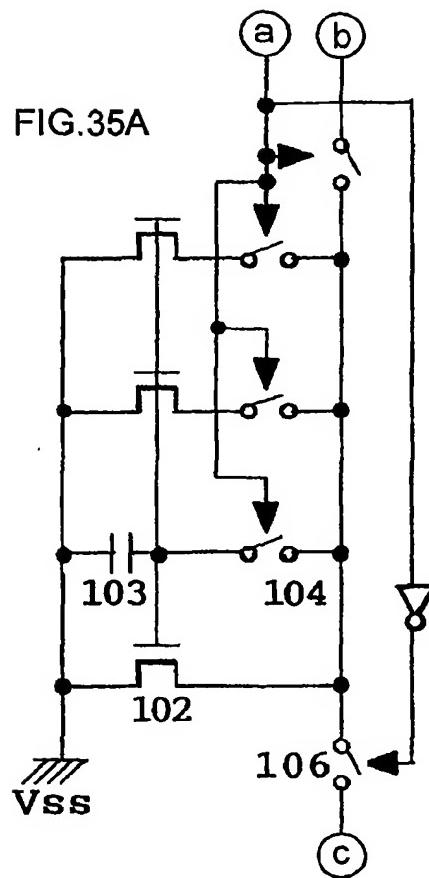


FIG.33B





32/55



33/55

FIG.36

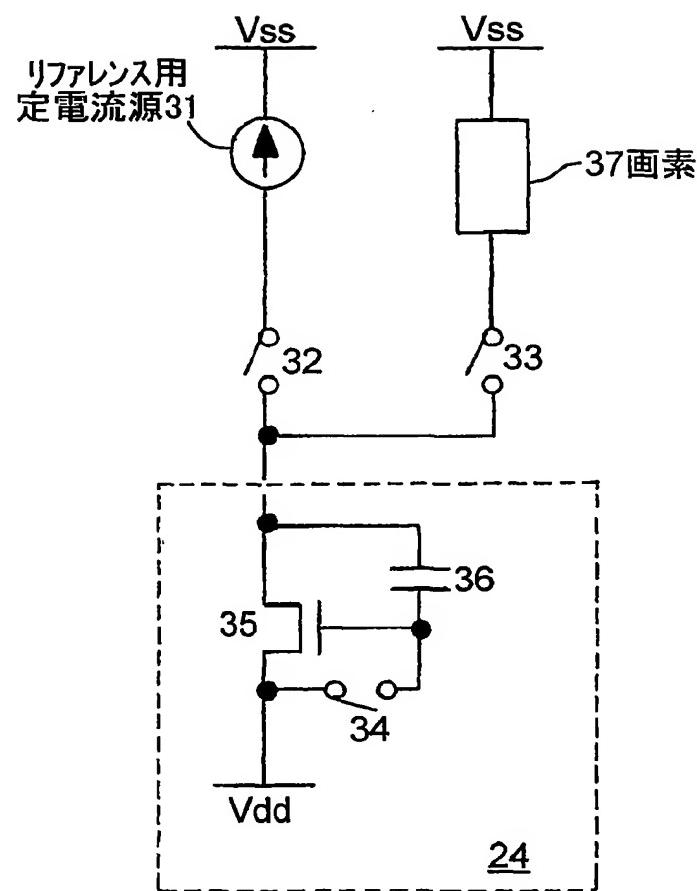
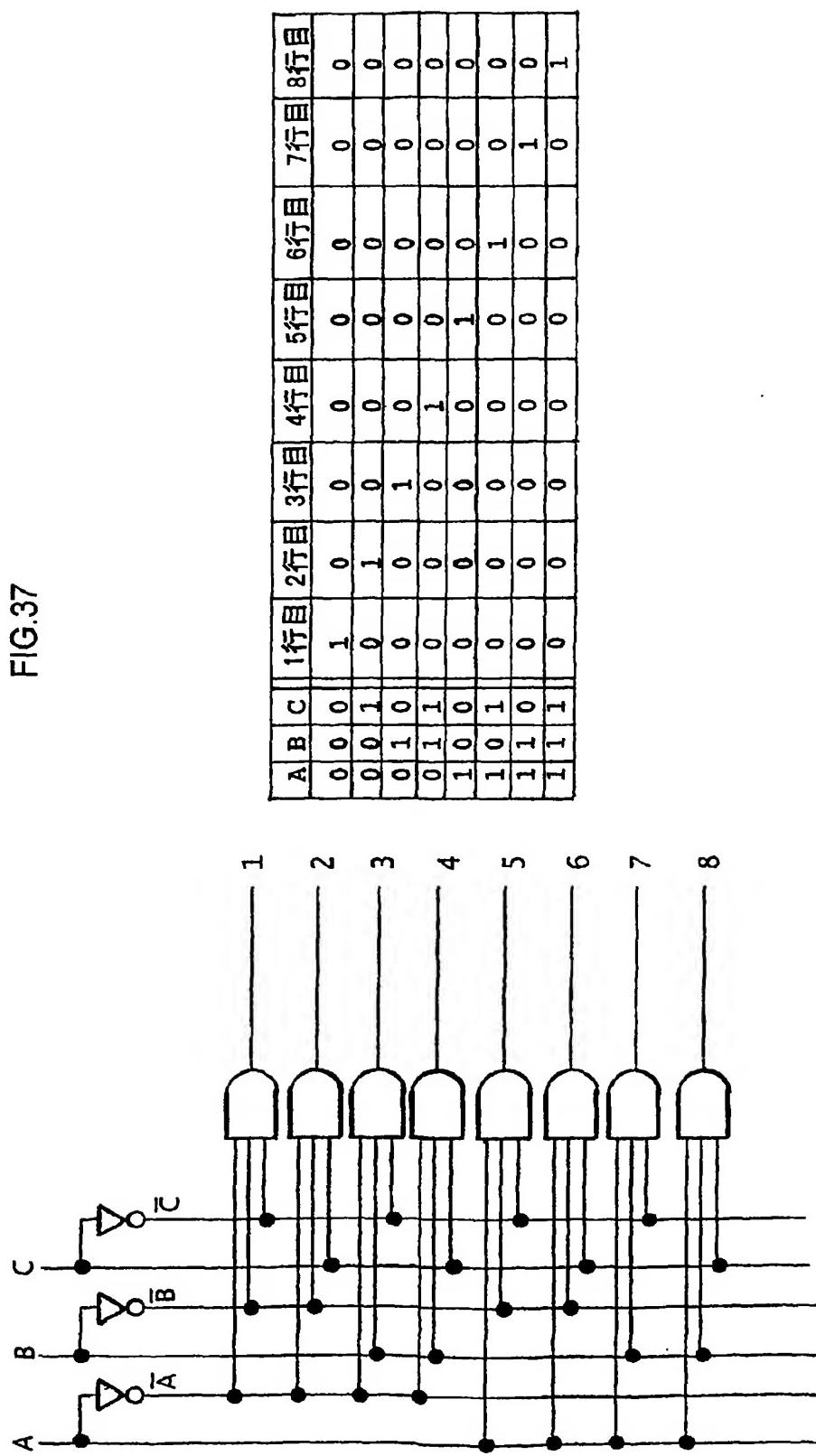


FIG.37



差替え用紙(規則26)

FIG.38A

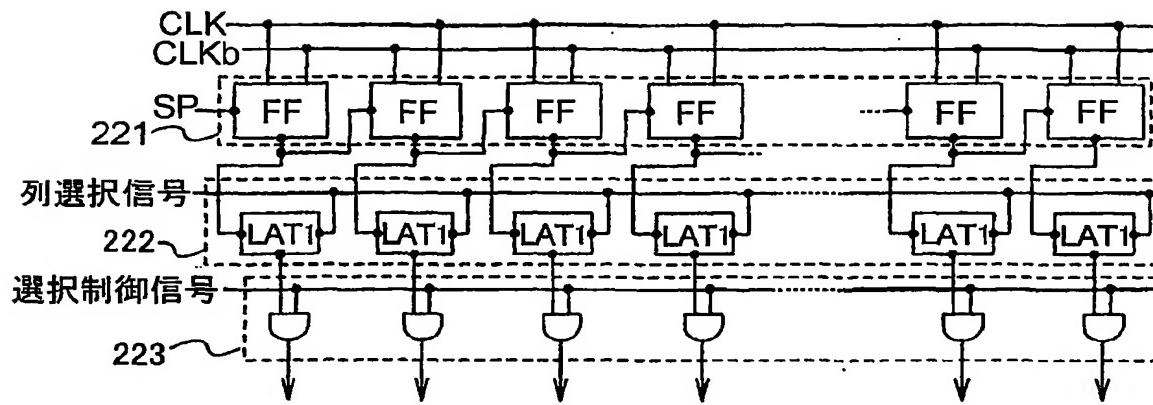
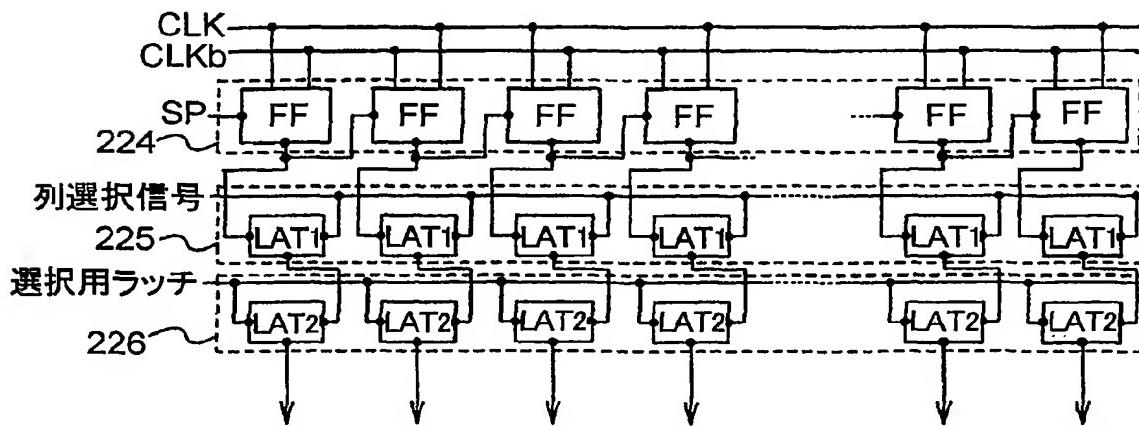


FIG.38B



36/55

FIG.39

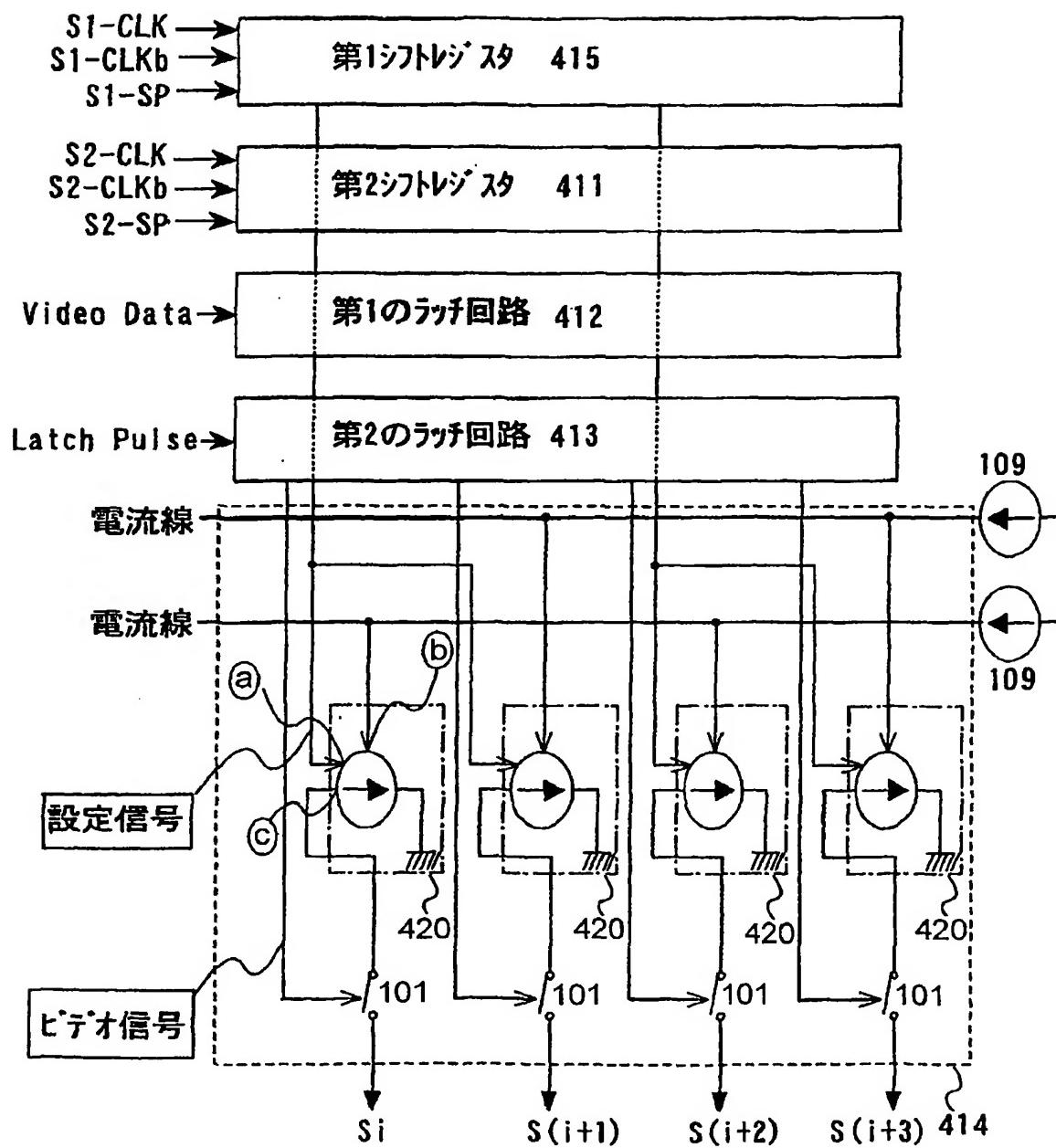
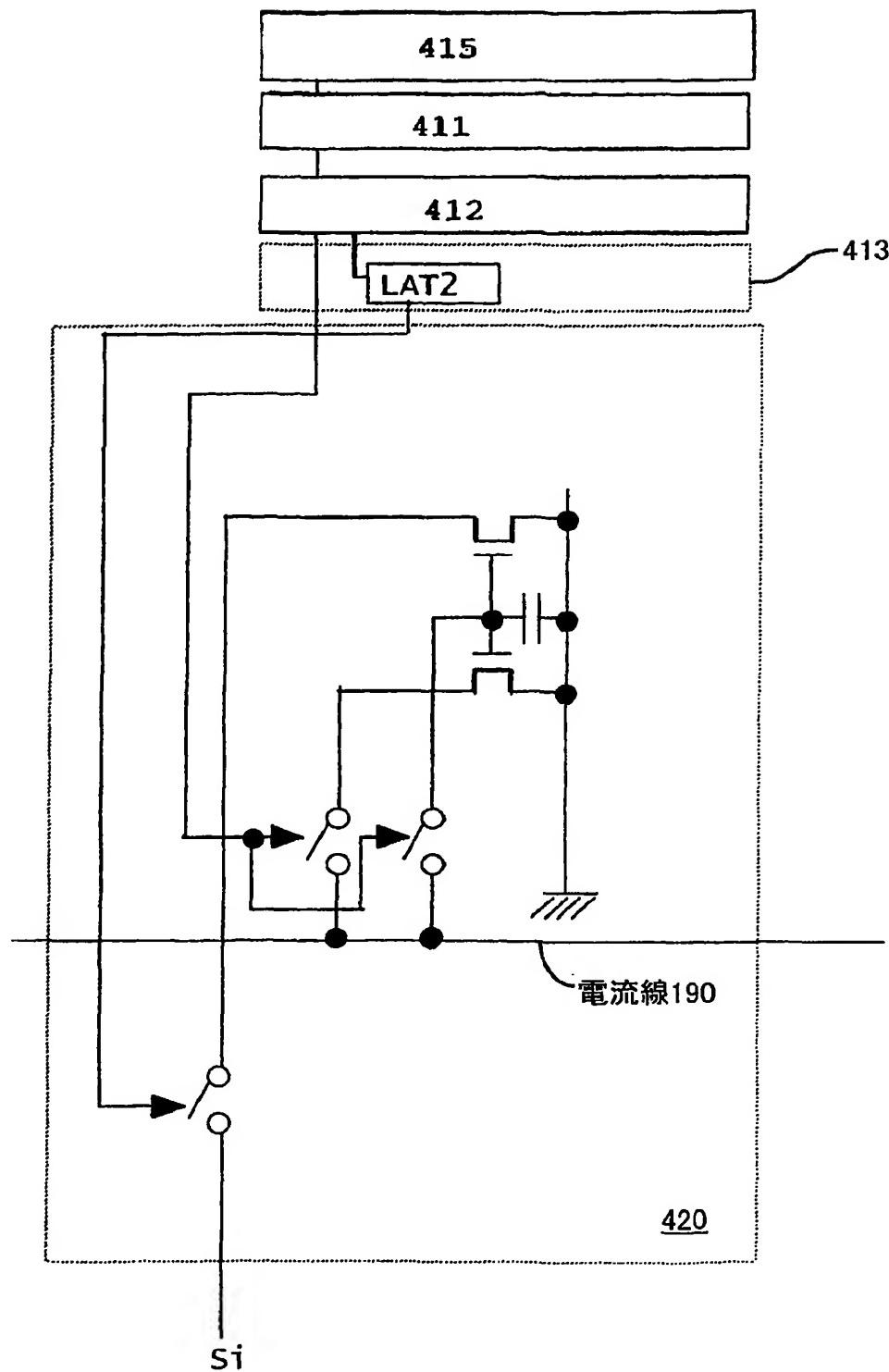
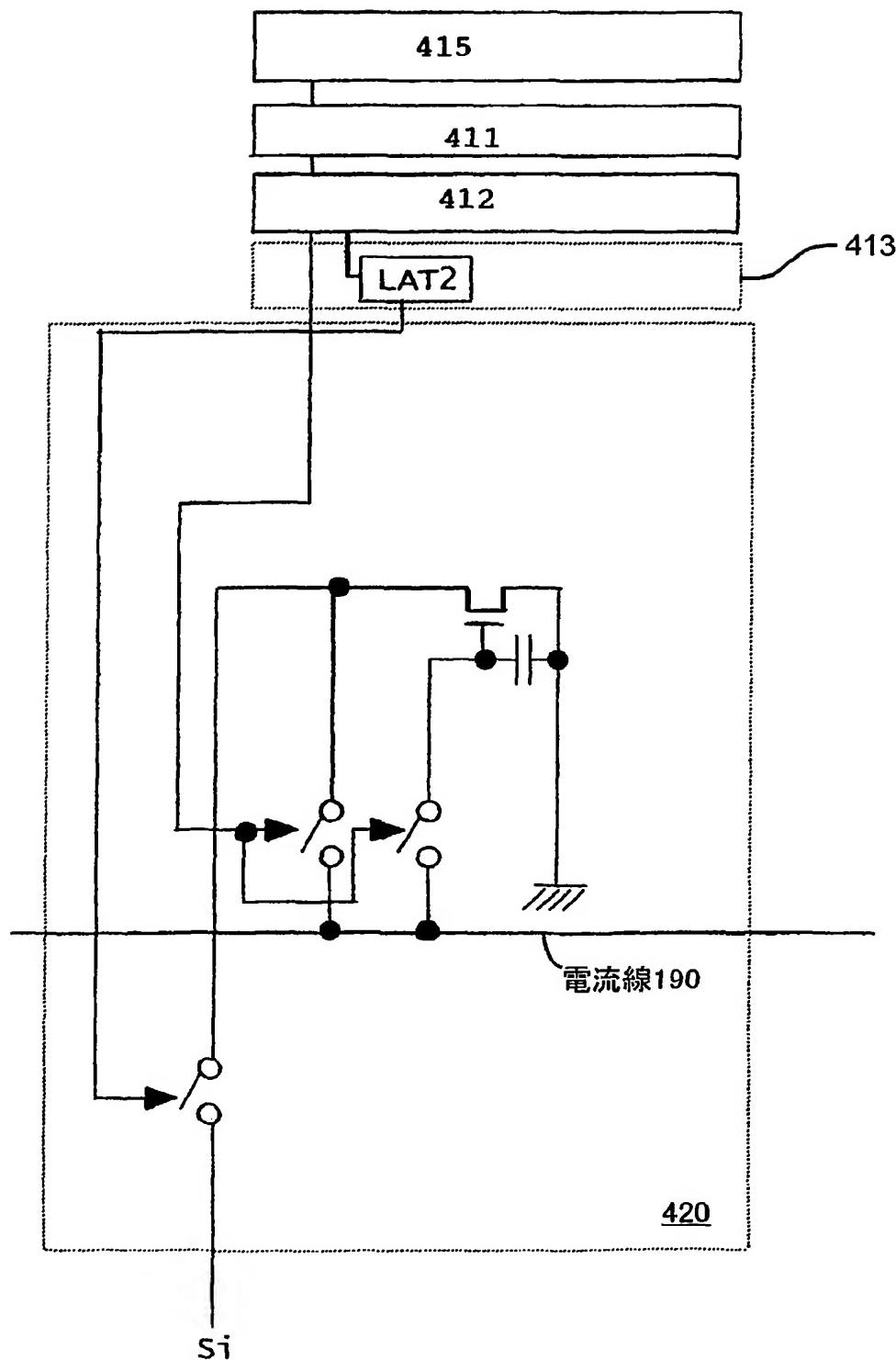


FIG.40



38/55

FIG.41



差替え用紙 (規則26)

FIG.42A

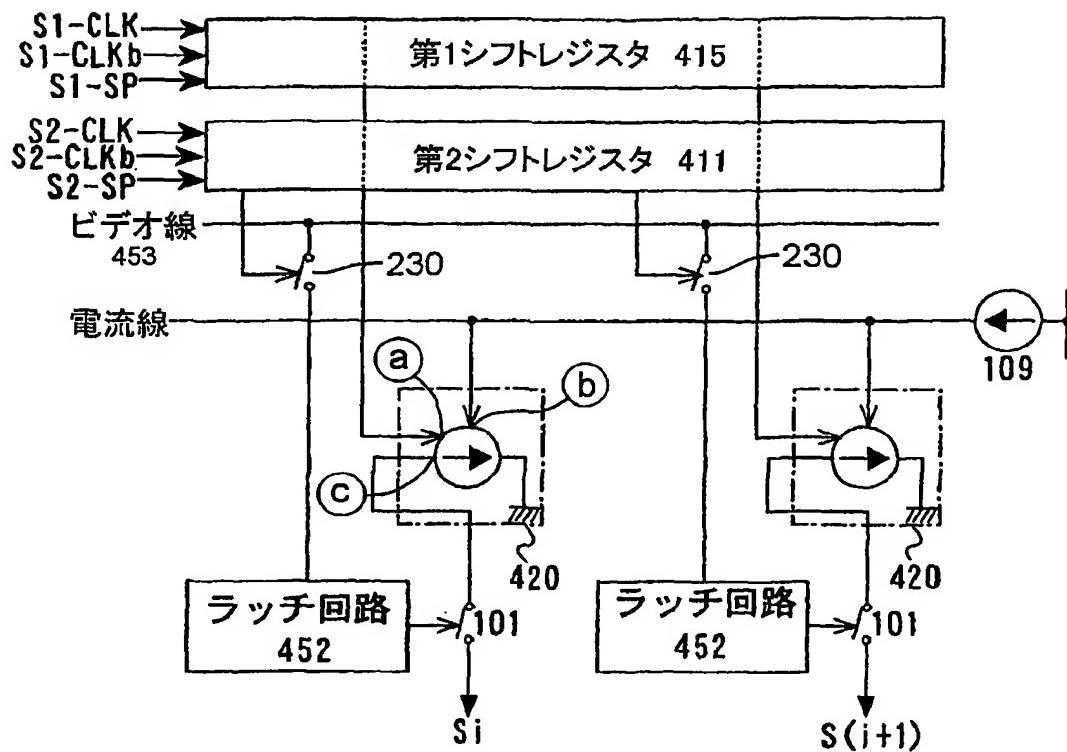


FIG.42B 信号線駆動回路 403

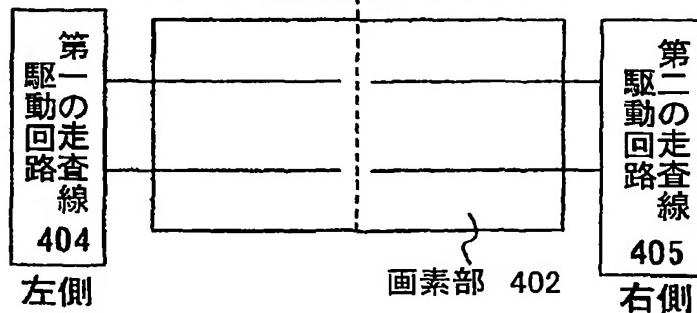
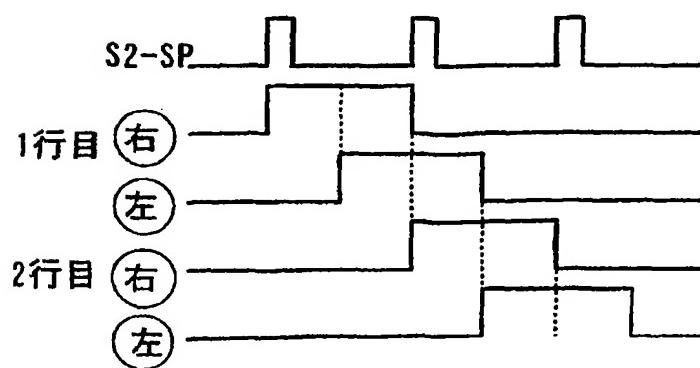
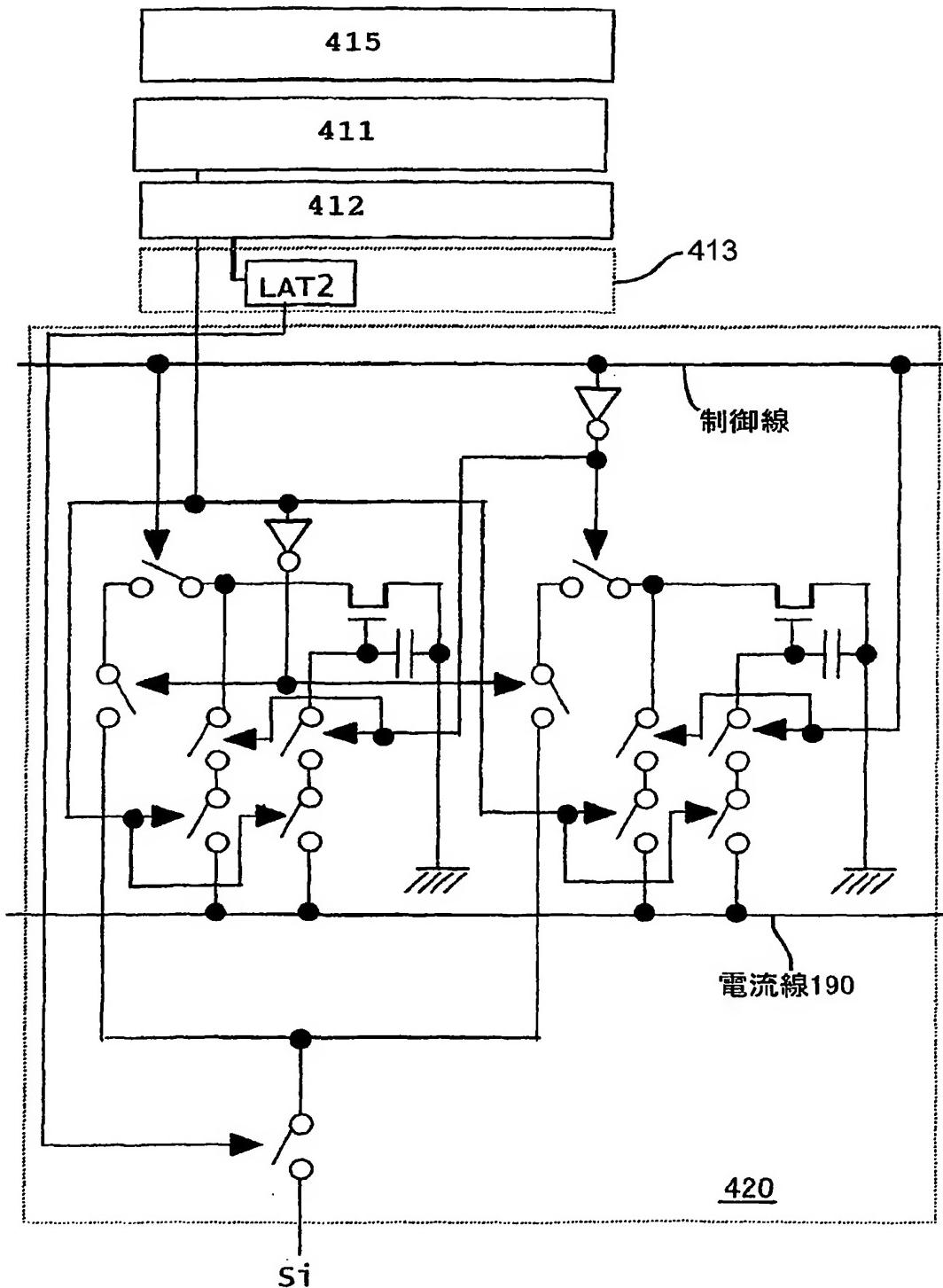


FIG.42C

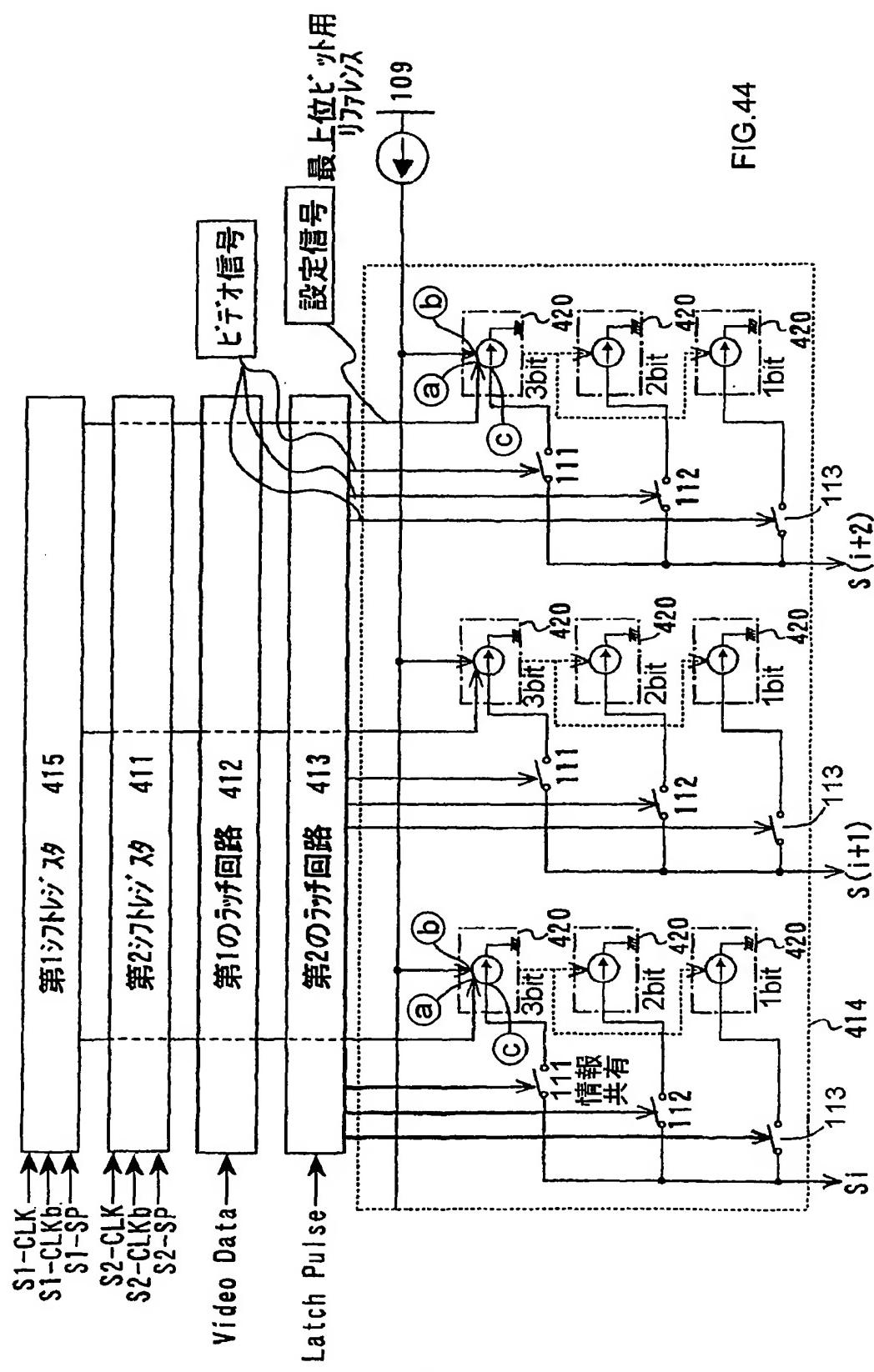


40/55

FIG.43



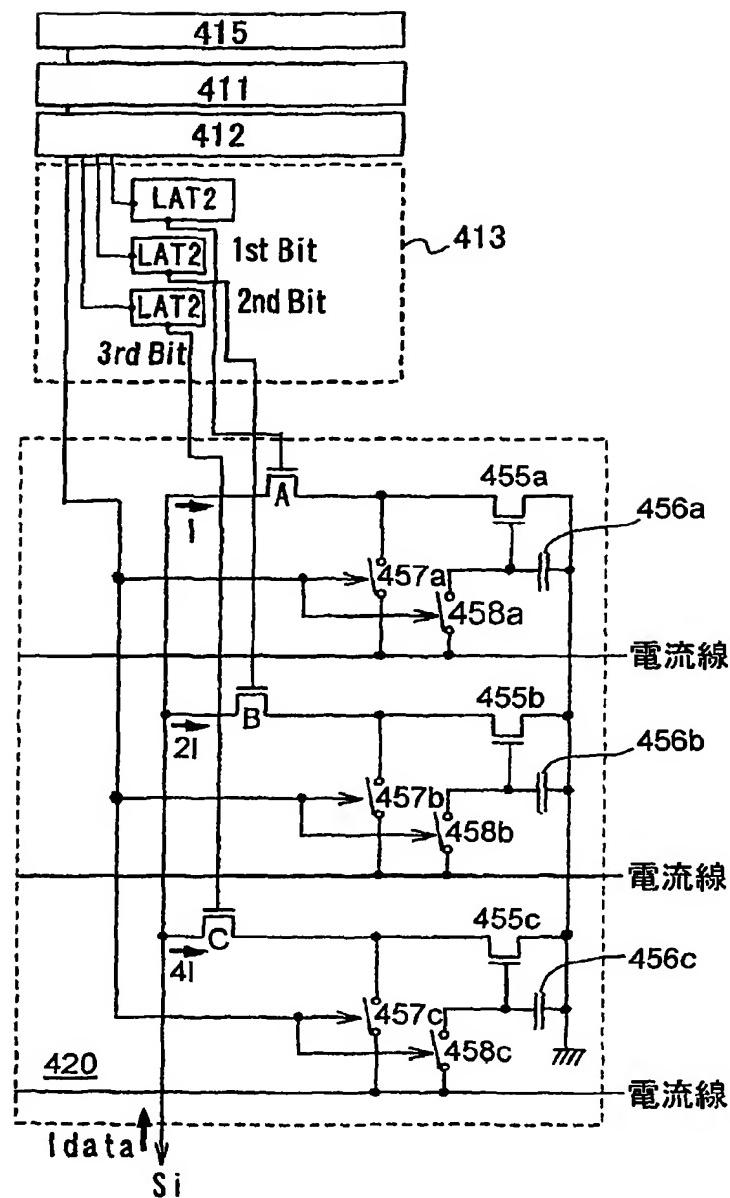
41/55



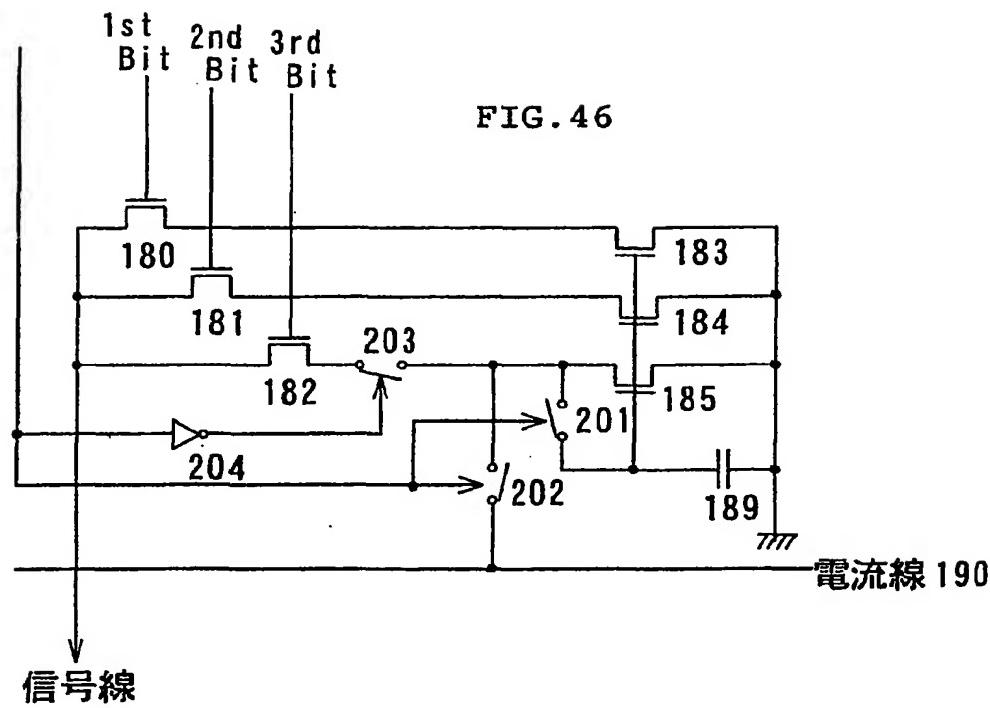
添え用紙(規則26)

42/55

FIG.45

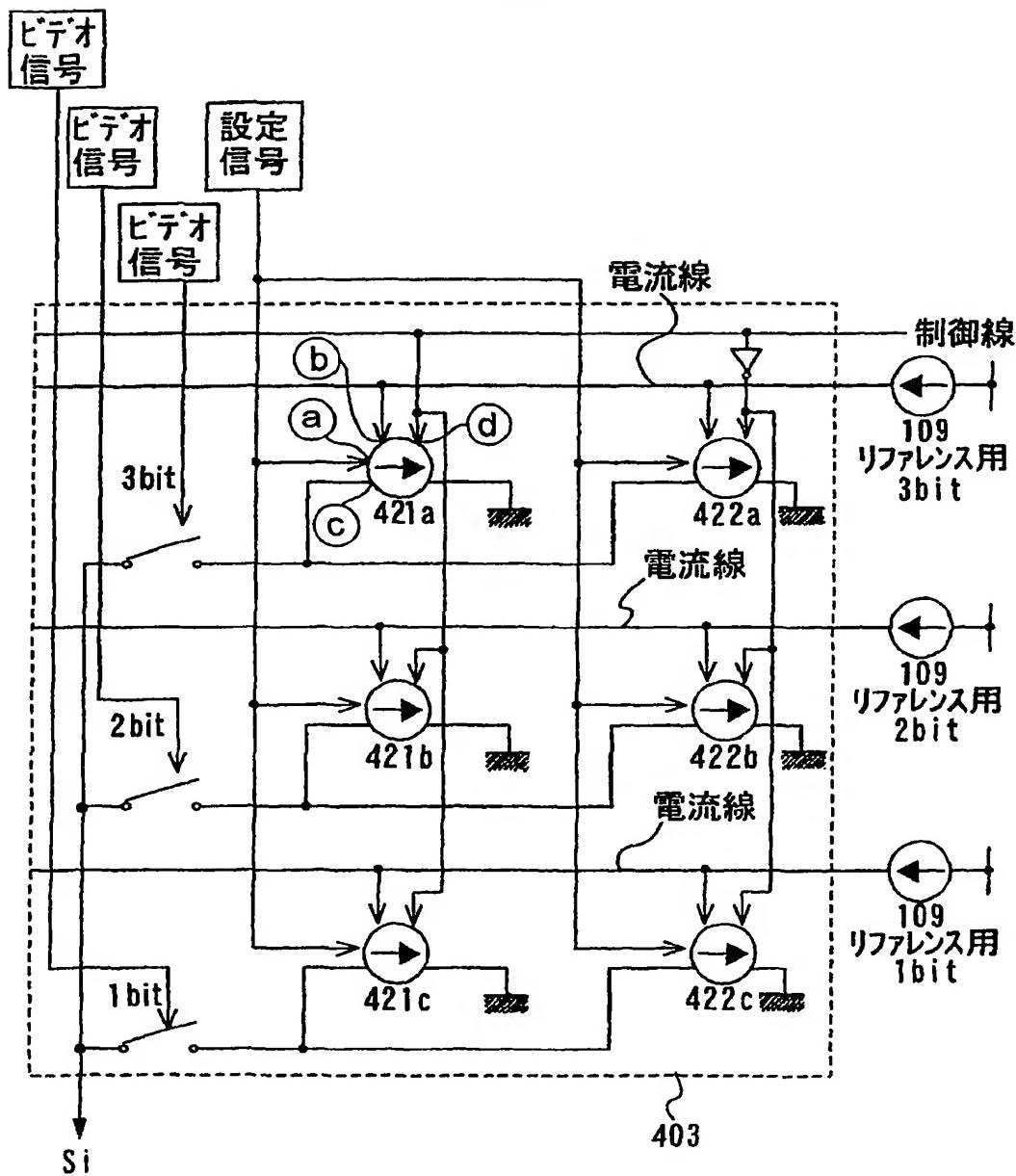


43/55



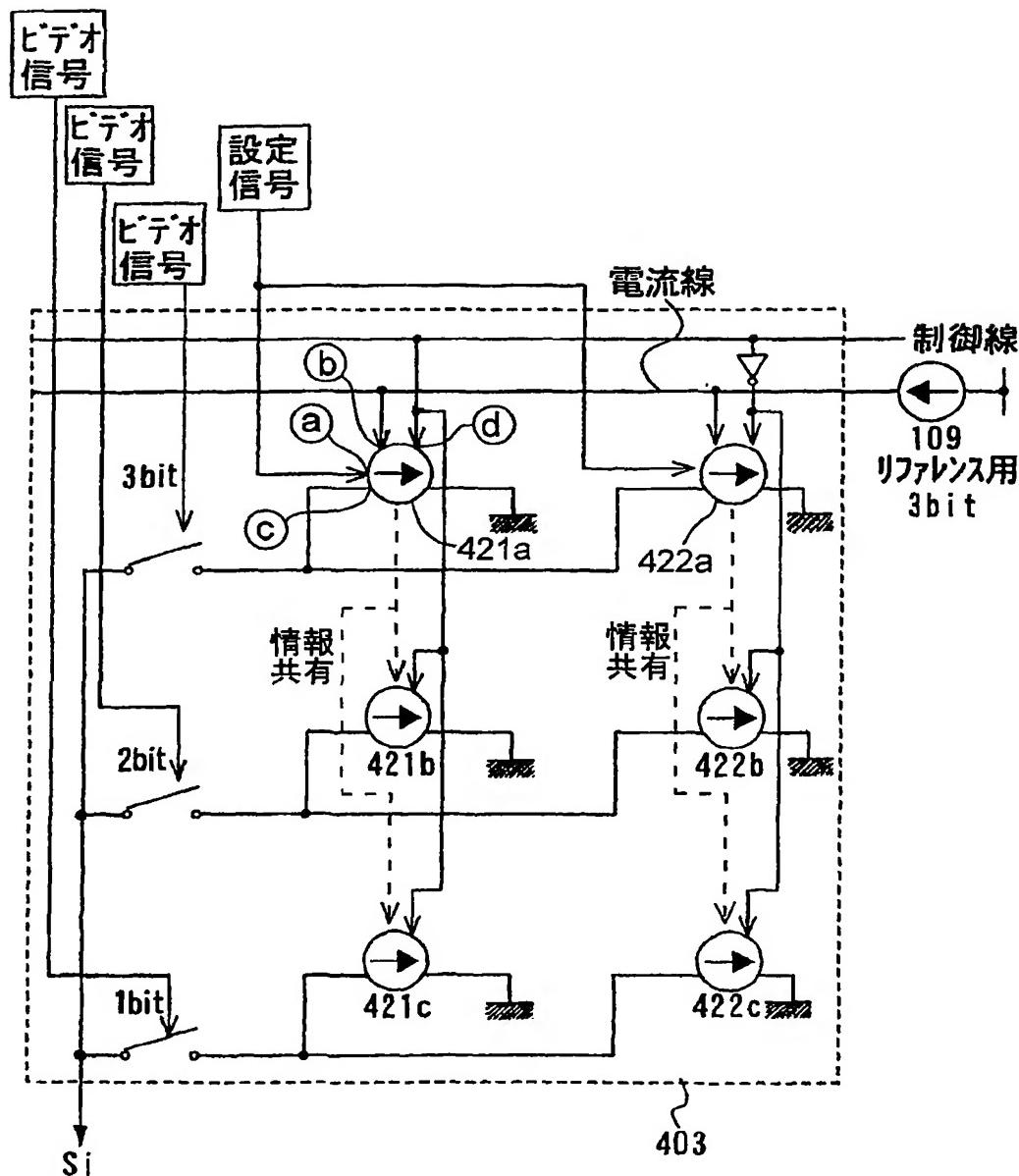
44/55

FIG.47



45/55

FIG.48



46/55

FIG.49A

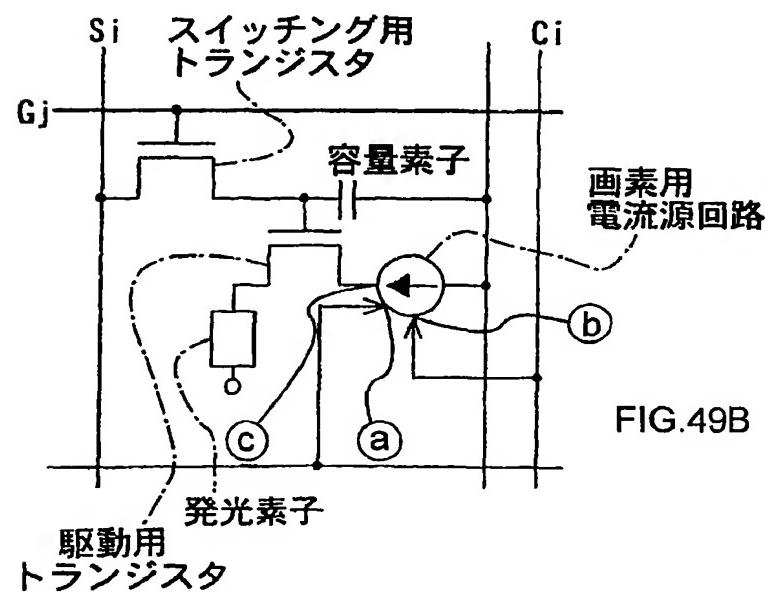
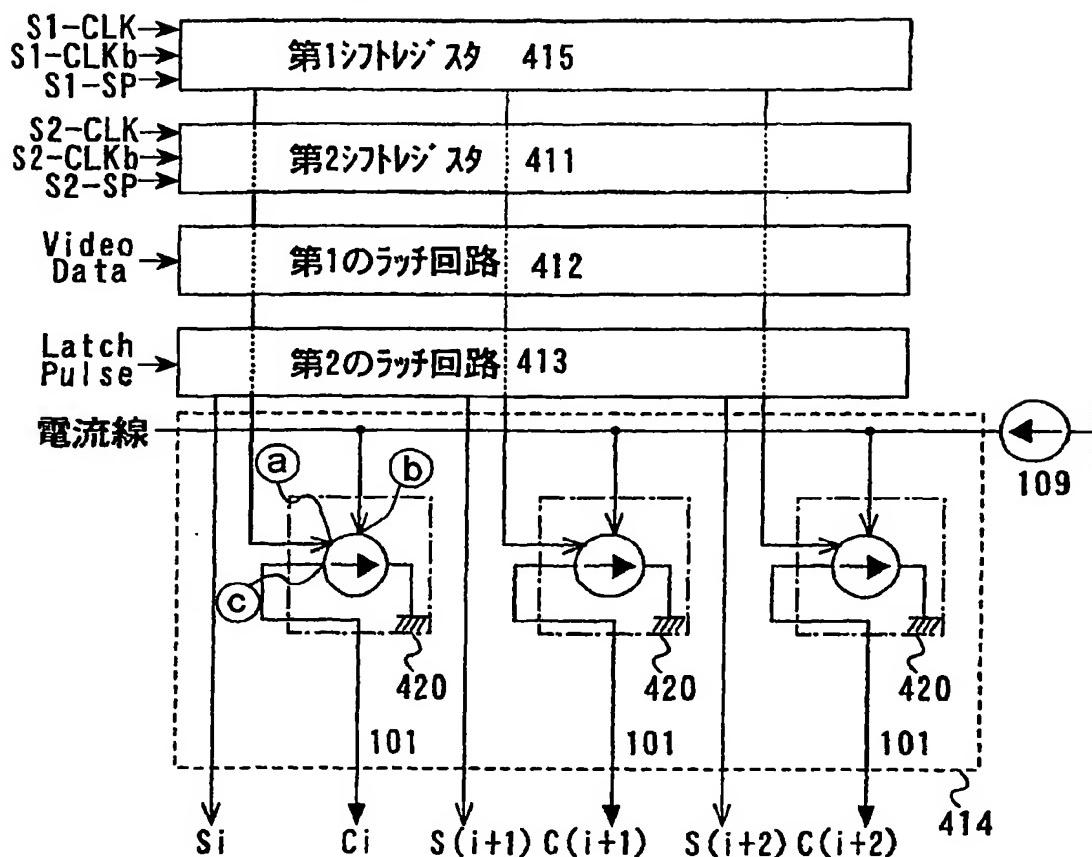
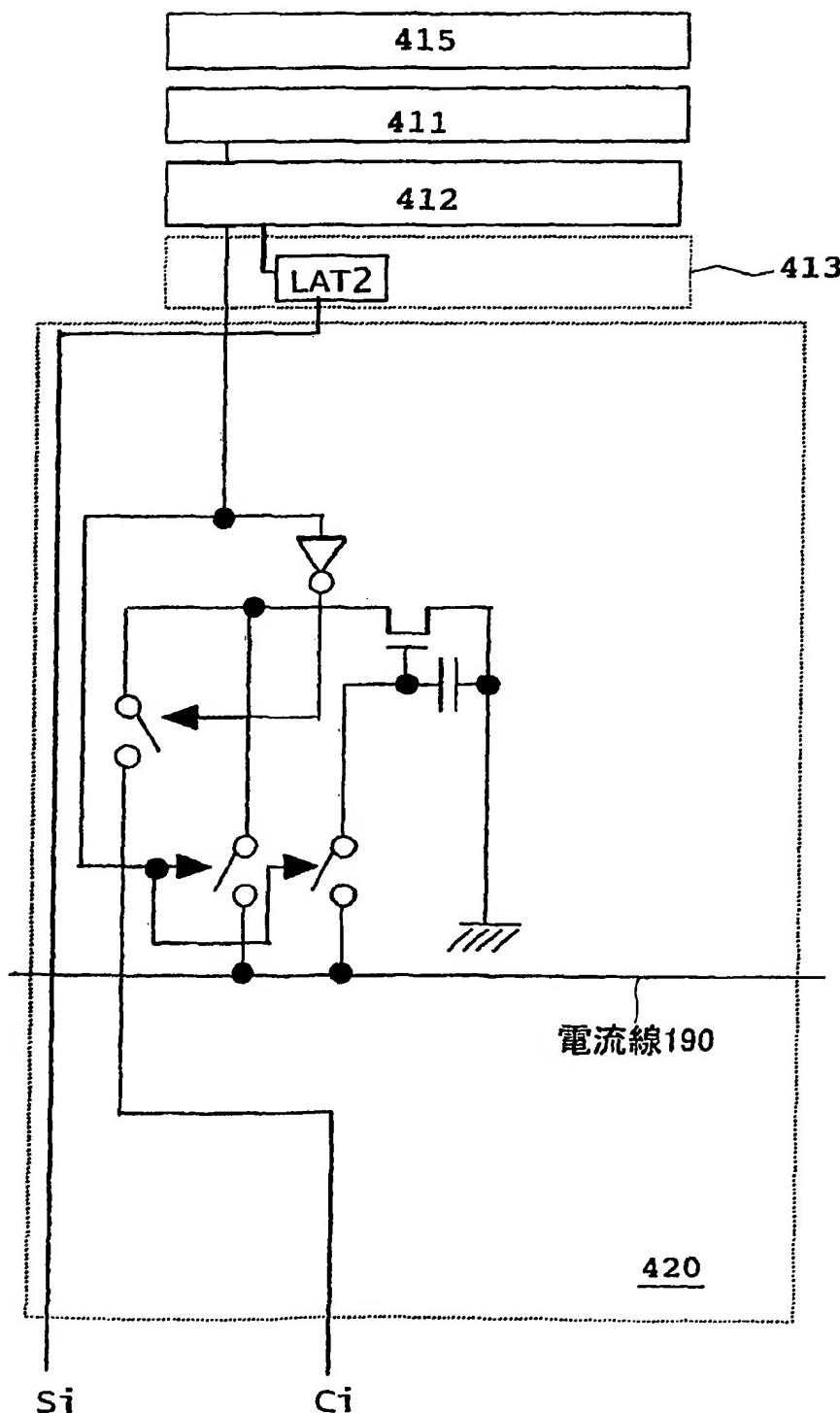


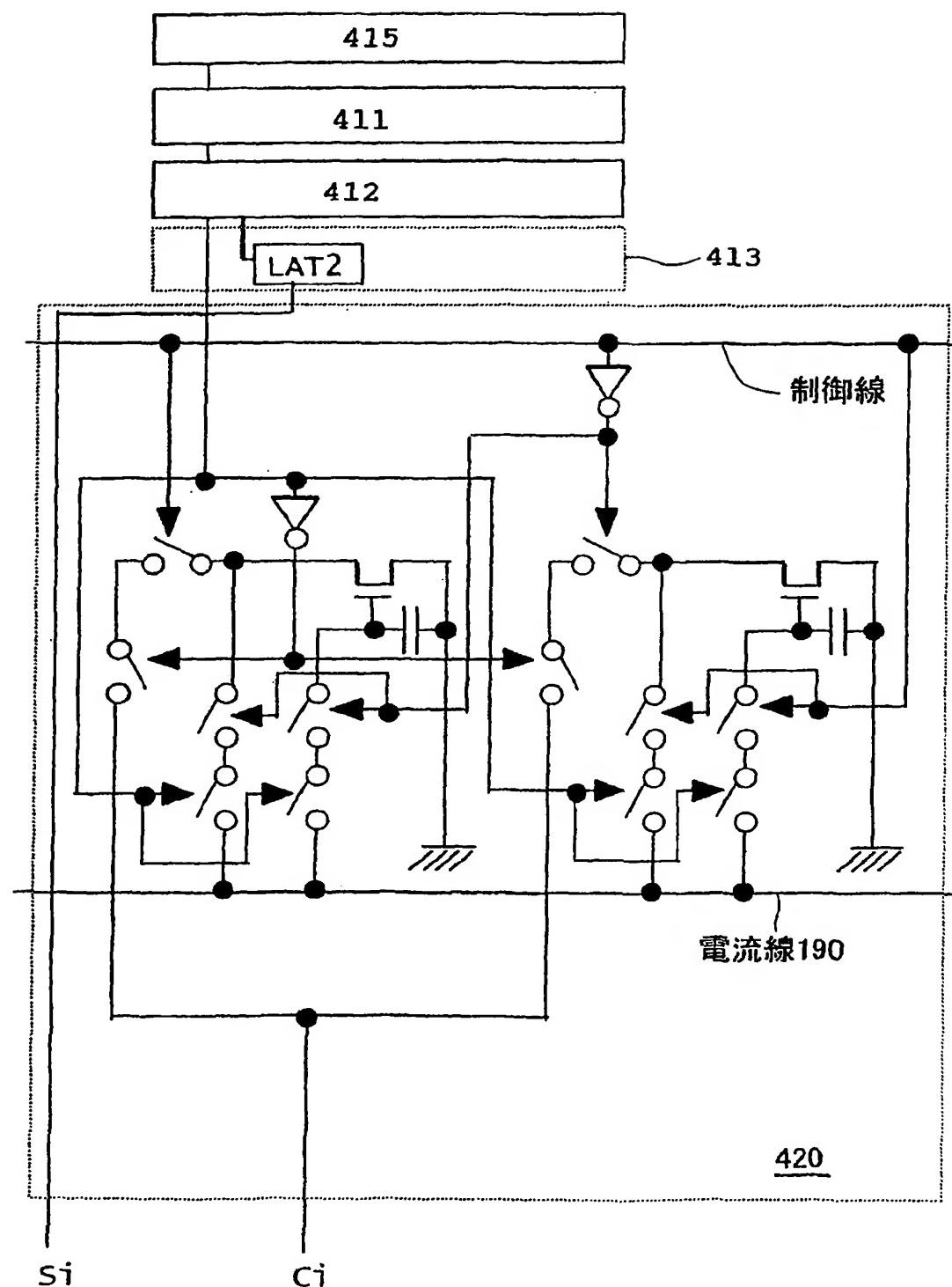
FIG.49B

FIG.50



差替え用紙(規則26)

FIG.51



差替え用紙(規則26)

FIG.52A

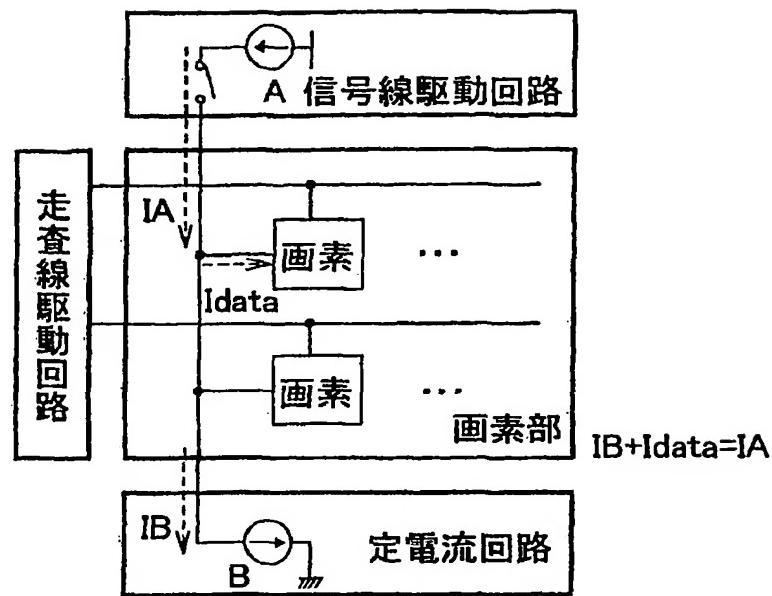
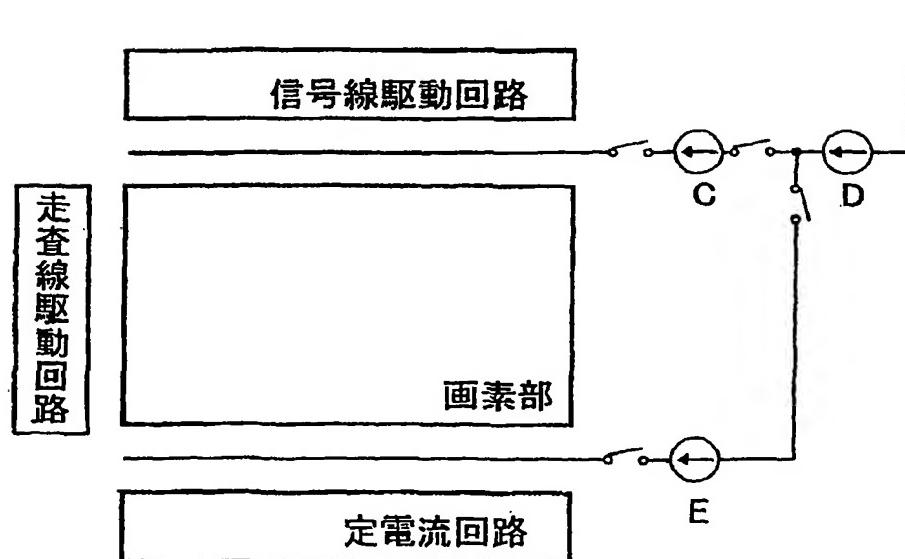


FIG.52B



50/55

FIG.53A

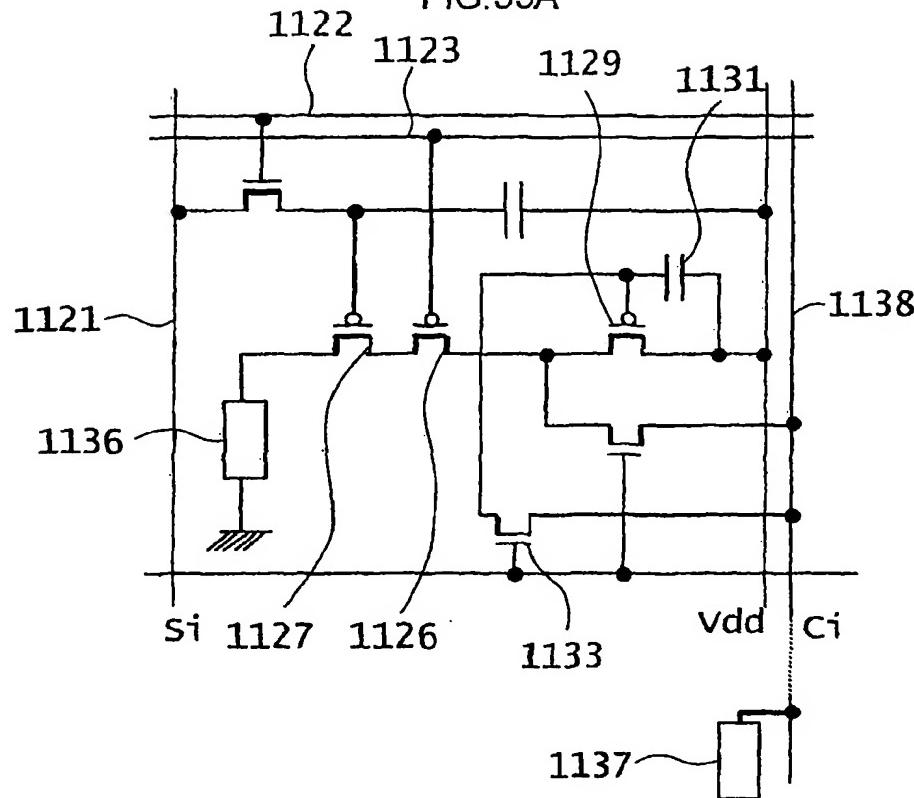


FIG.53B

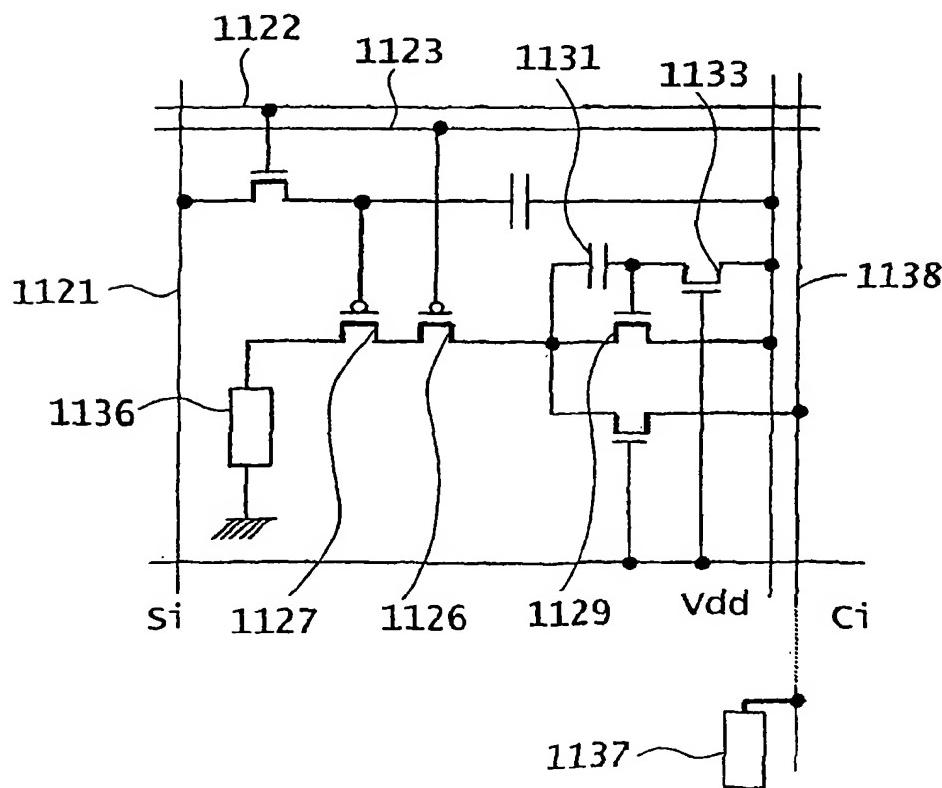
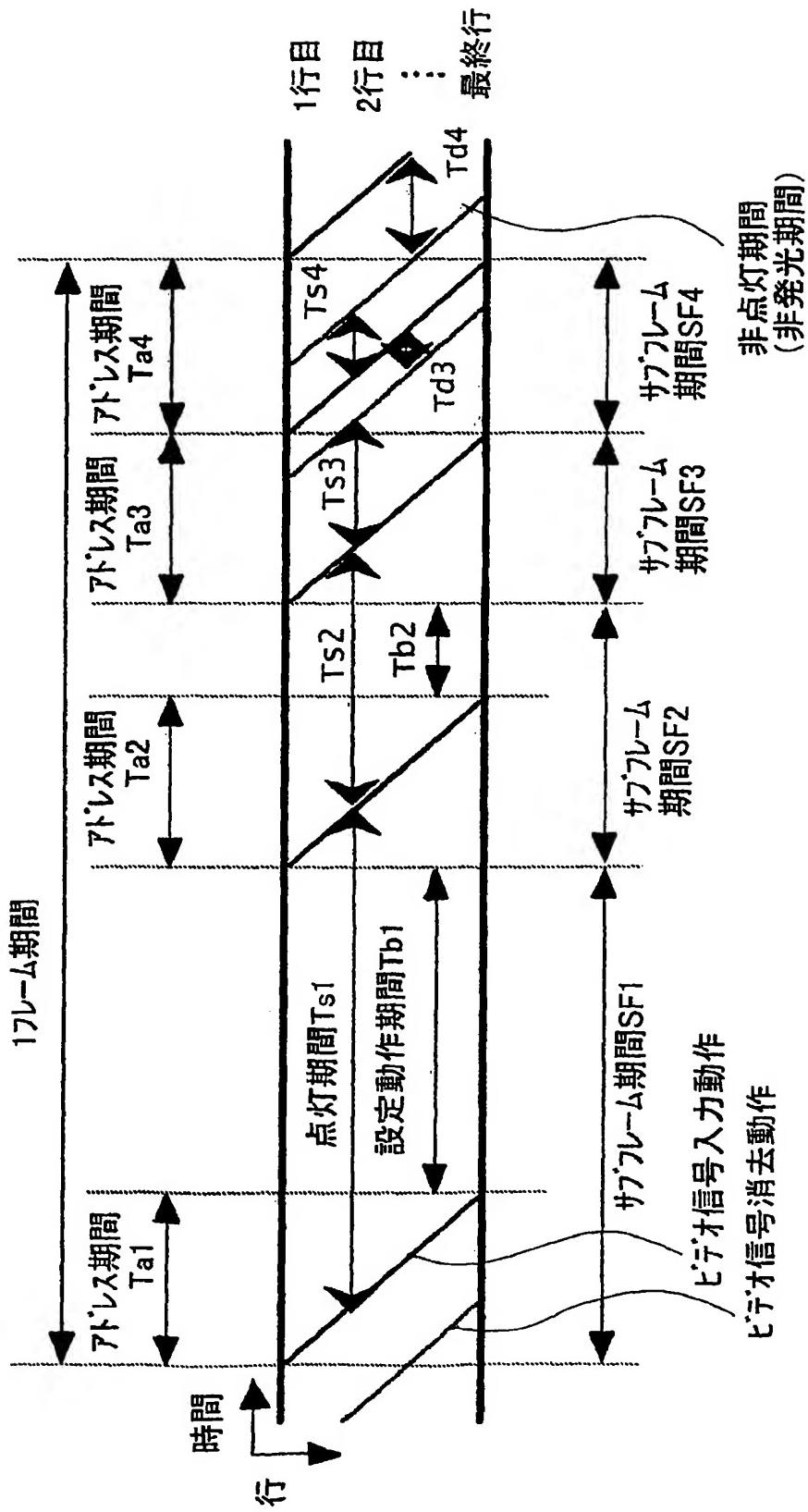


FIG. 54



52/55

FIG.55

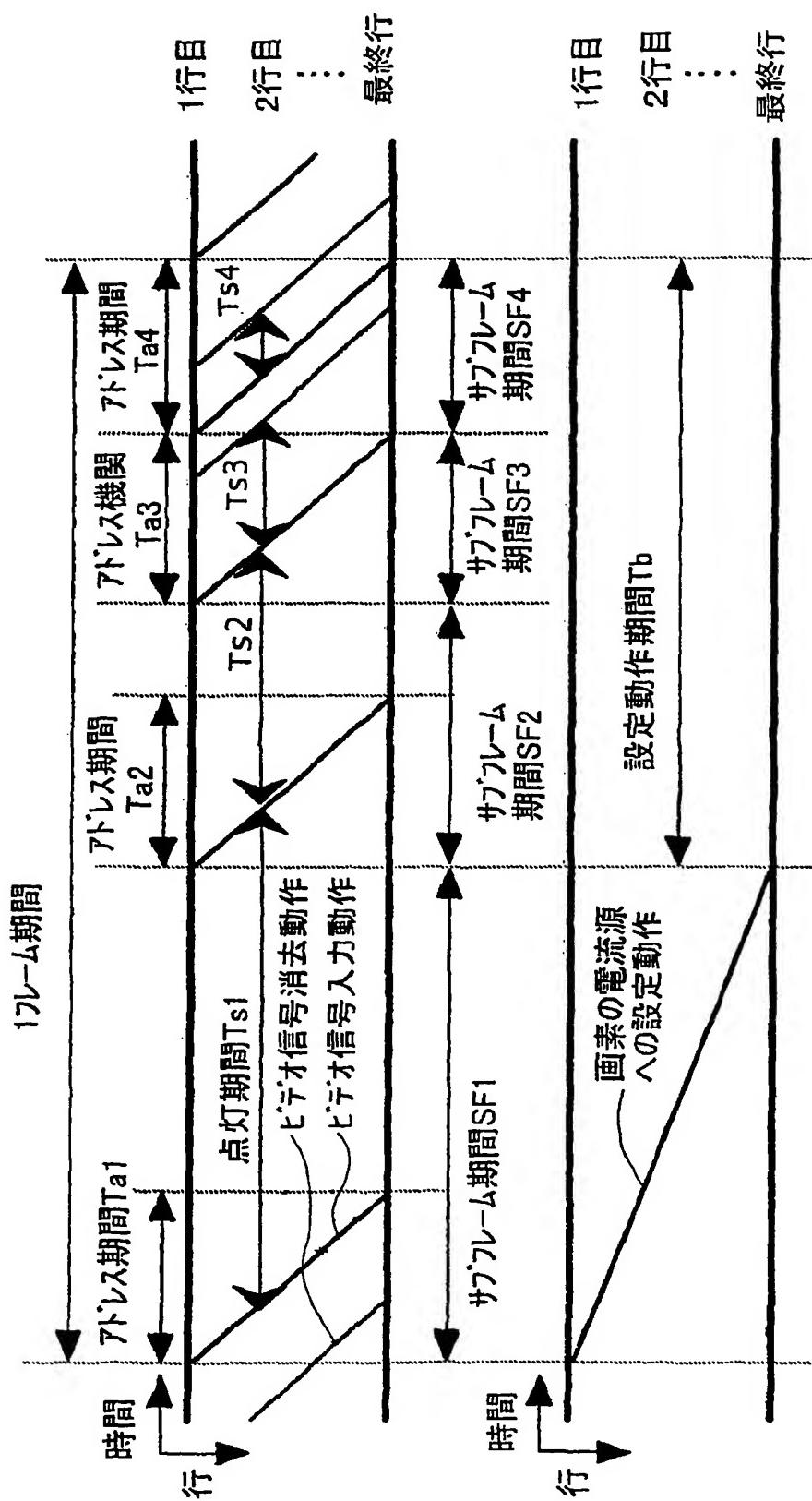
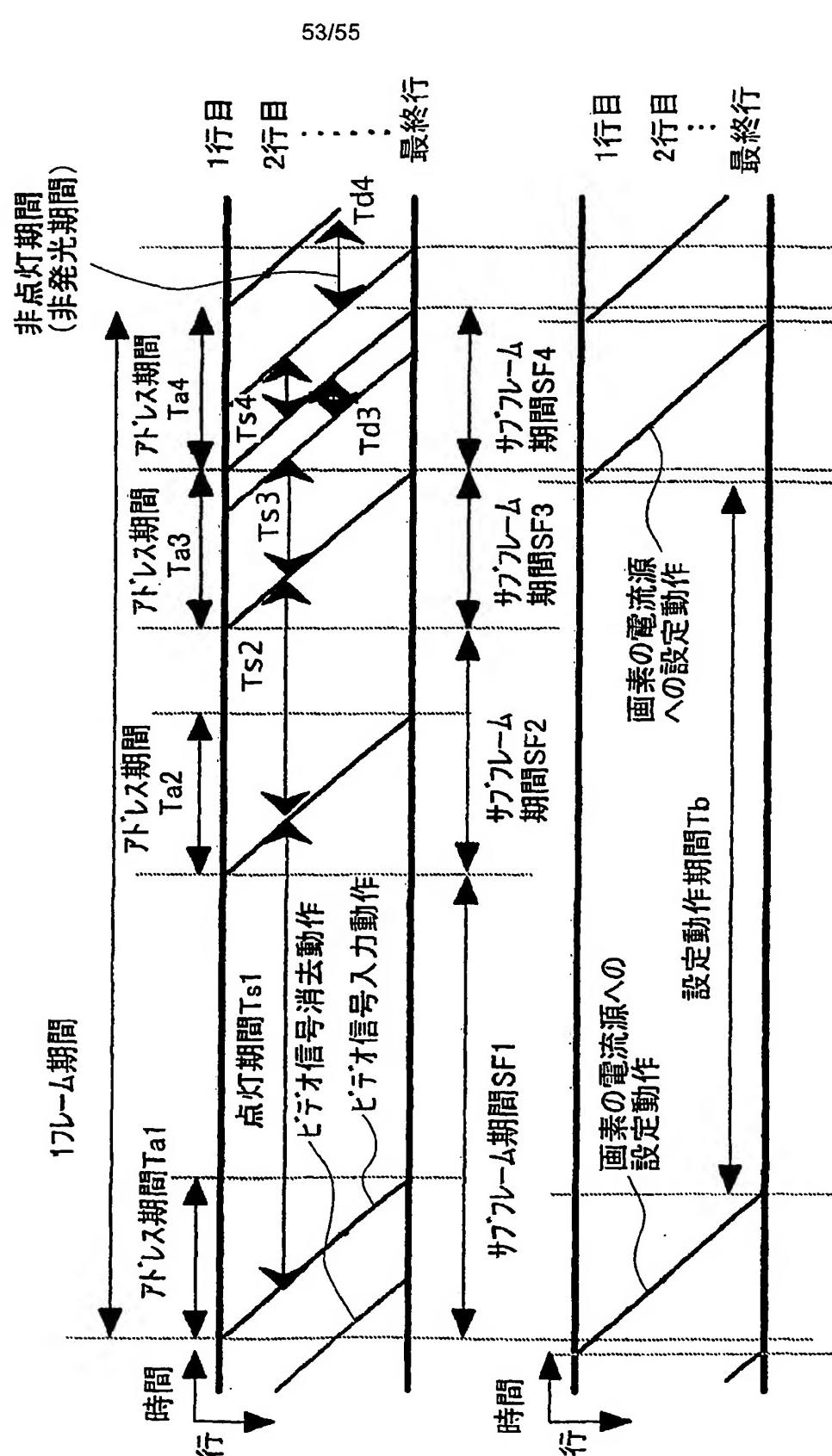
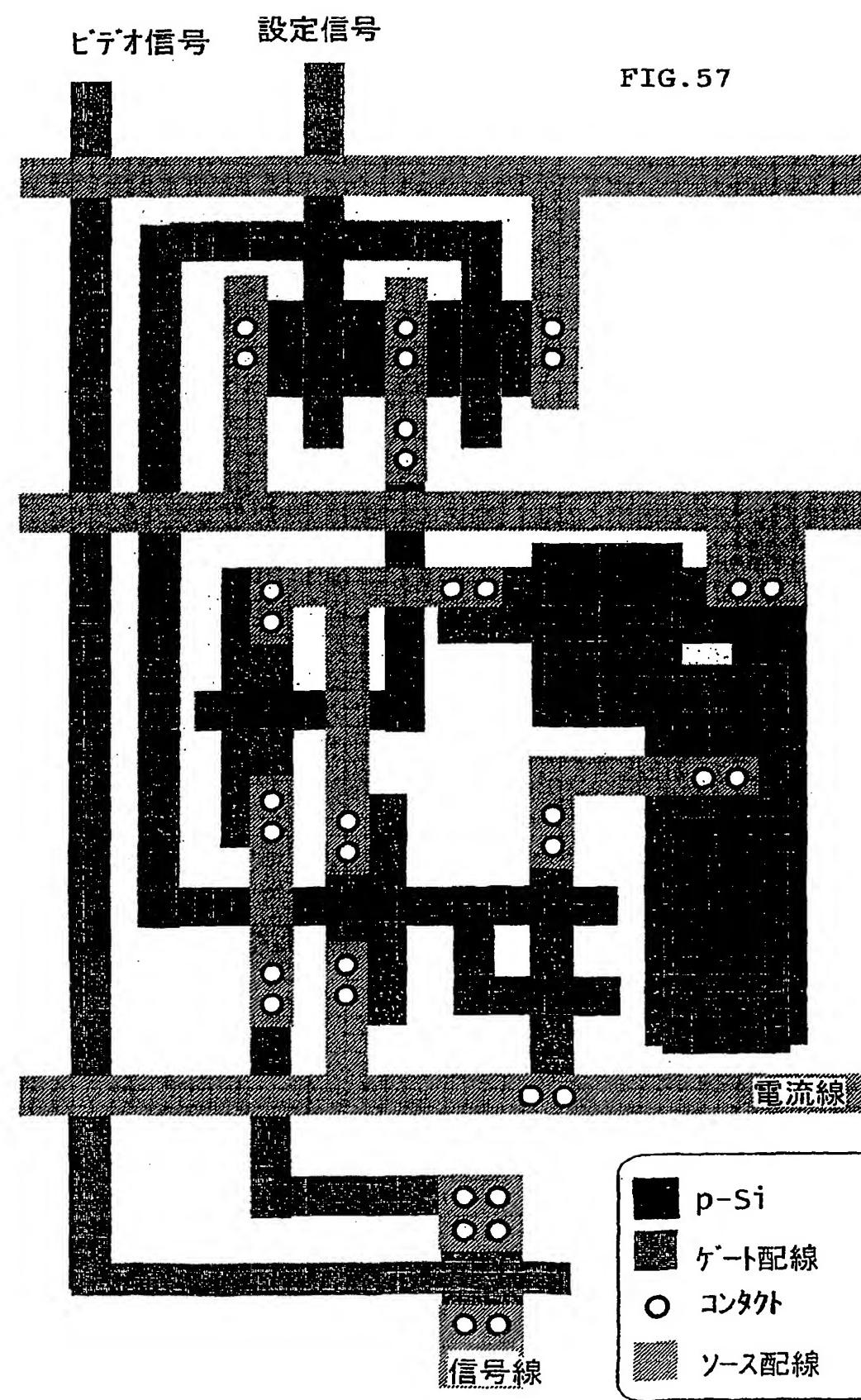


FIG. 56

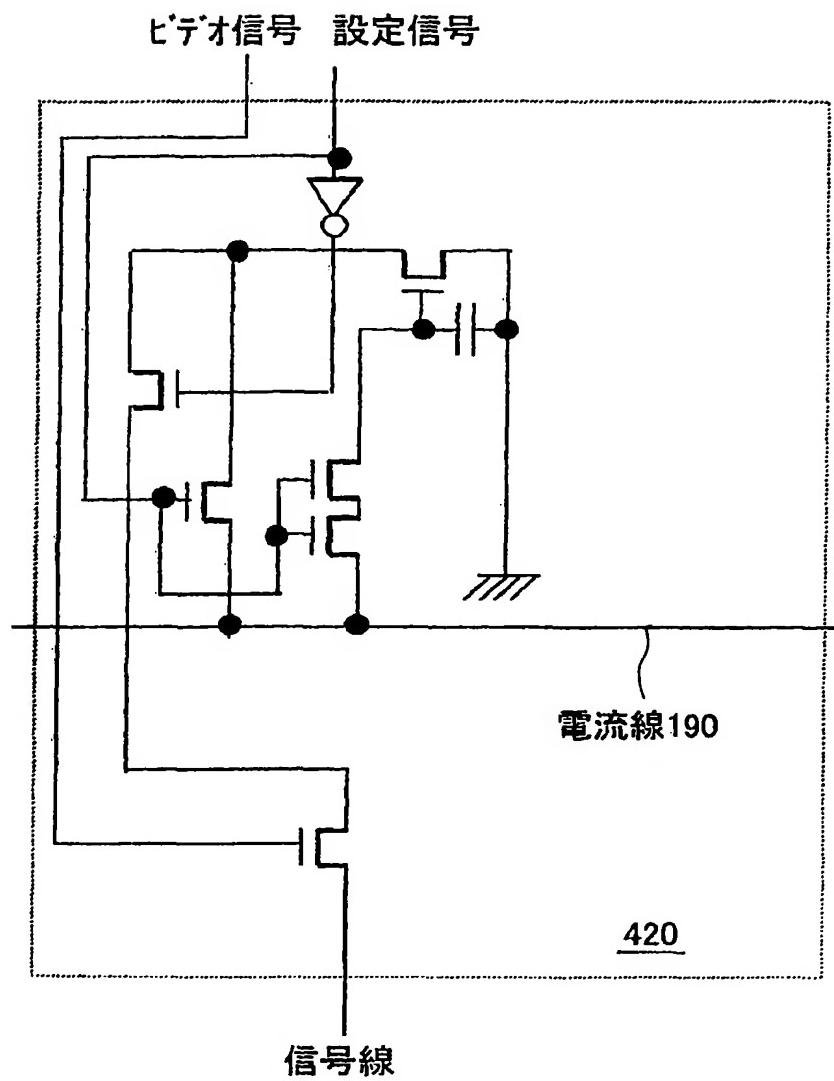




差替え用紙(規則26)

55/55

FIG.58



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11280

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl<sup>7</sup> G09G3/30, 3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/00-3/38, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-45071 A (NEC Corp.), 16 February, 1999 (16.02.99),	1-5, 30-34, 36-37
A	Full text; all drawings & US 6310589 B1 & US 2001/0048410 A1	6-29, 35
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.),	1-5, 30-34, 36-37
A	16 December, 1999 (16.12.99), Page 8, line 12 to page 11, line 8; Fig. 2 & JP 2002-517806 A	6-29, 35
Y	JP 2001-56667 A (TDK Corp.), 27 February, 2001 (27.02.01),	1-5, 30-34, 36-37
A	Par. Nos. [0022] to [0029]; Fig. 1 (Family: none)	6-29, 35

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
06 January, 2003 (06.01.03)

Date of mailing of the international search report  
04 February, 2003 (04.02.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11280

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-147659 A (Sony Corp.), 29 May, 2001 (29.05.01), Par. Nos. [0015] to [0017]; Fig. 1 & EP 1102234 A2	1-37
A	JP 11-282419 A (NEC Corp.), 15 October, 1999 (15.10.99), Par. Nos. [0044] to [0054]; Fig. 1 & US 6091203 A	1-37
A	WO 98/48403 A1 (SARNOFF CORP.), 29 October, 1998 (29.10.98), Page 4, line 18 to page 5, line 31; Fig. 2 & JP 2002-514320 A & US 6229506 B1	1-37
Y A	JP 9-244590 A (Toshiba Corp.), 19 September, 1997 (19.09.97), Par. Nos. [0002] to [0005]; Figs. 10 to 12 (Family: none)	32 7-8
A	JP 2001-34221 A (Nippon Seiki Co., Ltd.), 09 February, 2001 (09.02.01), Par. No. [0034]; Fig. 4 (Family: none)	7-10
Y	JP 2001-42822 A (Pioneer Electronic Corp.), 16 February, 2001 (16.02.01), Full text; all drawings (Family: none)	31
P,A	JP 2002-215095 A (Pioneer Electronic Corp.), 31 July, 2002 (31.07.02), Full text; all drawings (Family: none)	1-37
P,A	JP 2002-278497 A (Canon Inc.), 27 September, 2002 (27.09.02), Full text; all drawings (Family: none)	1-37

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int. Cl' G 09G 3/30, 3/20  
 H 05B 33/14

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
 Int. Cl' G 09G 3/00-3/38  
 H 05B 33/14

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国実用新案登録公報 1996-2003年  
 日本国登録実用新案公報 1994-2003年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 11-45071 A (日本電気株式会社) 1999. 02. 16	1-5, 30-34, 36
A	段落番号【0025】-【0029】，第4図，第13図 & US 6310589 B1 & US 2001/0048410 A1	-37 6-29, 35
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 1999. 12. 16	1-5, 30-34, 36
A	第8頁第12行-第11頁第8行，第2図 & J P 2002-517806 A	-37 6-29, 35

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

## 国際調査を完了した日

06. 01. 03

## 国際調査報告の発送日

04. 02. 03

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官（権限のある職員）

西島 篤宏

2G 9308



電話番号 03-3581-1101 内線 3225

C(続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-56667 A (ティーディーケイ株式会社) 2001. 02. 27	1-5, 30-34, 36 -37
A	段落番号【0022】-【0029】，第1図 (ファミリーなし)	6-29, 35
A	JP 2001-147659 A (ソニー株式会社) 2001. 05. 29 段落番号【0015】-【0017】，第1図 & EP 1102234 A2	1-37
A	JP 11-282419 A (日本電気株式会社) 1999. 10. 15 段落番号【0044】-【0054】，第1図 & US 6091203 A	1-37
A	WO 98/48403 A1 (SARNOFF CORPORATION) 1998. 10. 29 第4頁第18行-第5頁第31行，第2図 & JP 2002-514320 A & US 6229506 B1	1-37
Y	JP 9-244590 A (株式会社東芝)	32
A	1997. 09. 19 段落番号【0002】-【0005】，第10-12図 (ファミリーなし)	7-8
A	JP 2001-34221 A (日本精機株式会社) 2001. 02. 09 段落番号【0034】，第4図(ファミリーなし)	7-10
Y	JP 2001-42822 A (パイオニア株式会社) 2001. 02. 16, 全文, 全図(ファミリーなし)	31
P. A	JP 2002-215095 A (パイオニア株式会社) 2002. 07. 31, 全文, 全図(ファミリーなし)	1-37
P. A	JP 2002-278497 A (キヤノン株式会社) 2002. 09. 27, 全文, 全図(ファミリーなし)	1-37